

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
22. September 2005 (22.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/088838 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **H03K 19/173**

(21) Internationales Aktenzeichen: PCT/DE2005/000292

(22) Internationales Anmeldedatum:  
21. Februar 2005 (21.02.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2004 011 433.1 9. März 2004 (09.03.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-  
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): GLIESE, Jörg  
[DE/DE]; Am Glockenbach 9, 80469 München (DE).

(74) Anwalt: KÜHN, Armin; Viering, Jentschura & Partner,  
Steinsdorfstr. 6, 80538 München (DE).

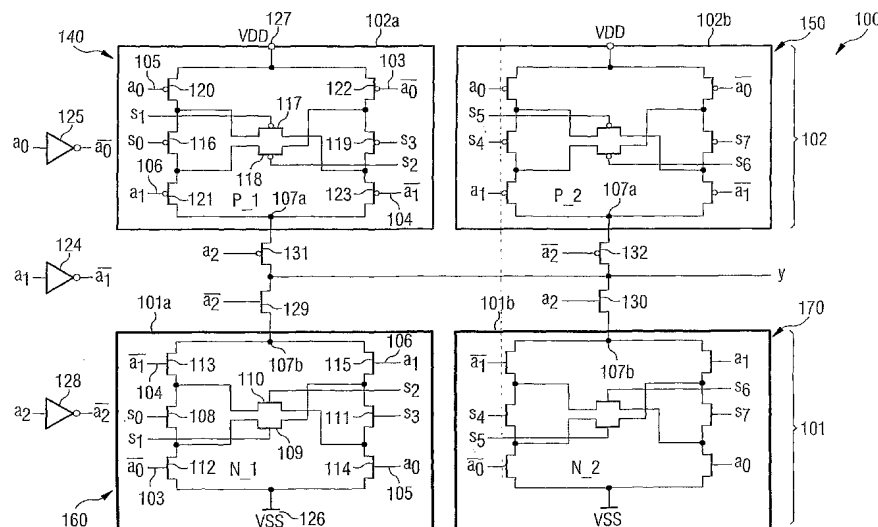
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,  
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,  
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,  
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,  
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,  
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,  
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,  
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,  
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,  
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL,

[Fortsetzung auf der nächsten Seite]

(54) Title: LOGIC BASIC CELL, LOGIC BASIC CELL ARRAY AND LOGIC DEVICE

(54) Bezeichnung: LOGIK-GRUNDZELLE, LOGIK-GRUNDZELLEN-ANORDNUNG UND LOGIK-VORRICHTUNG



(57) Abstract: A logic base cell contains a first logic functional block and a second logic functional block for logic linking a first input signal and a second input signal according to a predeterminable first or second logic partial function, and contains a first logic transistor, which is coupled to the first logic functional block and which has a gate terminal on which a third input signal can be provided. In addition, a second logic transistor coupled to the second logic functional block is provided that has a gate terminal on which a signal complementary to the third input signal can be provided, and has a source/drain terminal that is coupled to the source/drain terminal of the first logic transistor.

[Fortsetzung auf der nächsten Seite]

WO 2005/088838 A1



PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

---

**(57) Zusammenfassung:** Eine Logik-Grundzelle enthält einen ersten Logikfunktionsblock und einen zweiten Logikfunktionsblock zur Logik-Verknüpfung eines ersten Eingangssignals und eines zweiten Eingangssignals gemäß einer vorgebbaren ersten bzw. zweiten Logikteilfunktion, sowie einen mit dem ersten Logikfunktionsblock gekoppelten ersten Logik-Transistor mit einem Gate-Anschluss, an dem ein drittes Eingangssignal bereitstellbar ist, und mit einem Source-/Drain-Anschluss, an dem das Ausgangssignal bereitstellbar ist. Ferner ist ein mit dem zweiten Logikfunktionsblock gekoppelter zweiter Logik-Transistor bereitgestellt, mit einem Gate-Anschluss, an dem ein zu dem dritten Eingangssignal komplementäres Signal bereitstellbar ist, und mit einem Source-/Drain-Anschluss, der mit dem Source-/Drain-Anschluss des ersten Logik-Transistors gekoppelt ist.

## Beschreibung

### Logik-Grundzelle, Logik-Grundzellen-Anordnung und Logik-Vorrichtung

5

Die Erfindung betrifft eine Logik-Grundzelle, eine Logik-Grundzellen-Anordnung und eine Logik-Vorrichtung.

10

Mit dem Aufkommen der Digitaltechnik und der sich sprunghaft entwickelnden Mikroprozessortechnik entstand ein Bedarf nach programmierbarer Logik. Ein PLD ("Programmable Logical Device") ist ein integrierter Schaltkreis, der vom Anwender mittels Programmierens in seiner Logikfunktion festgelegt wird. Ein PLD ist eine Architektur für digitale

15

Logikoperationen mit einer Mehrzahl von Schaltern, welche eine Vielzahl von Signalpfaden ermöglichen. Die einem PLD anwenderspezifisch zugeordnete Logikfunktion wird mittels Konfigurierens des PLDs festgelegt.

20

Zu den PLDs gehören unter anderen Field Programmable Gate Arrays (FPGAs), deren Funktionalität ihnen vom Anwender zugeordnet werden kann, und Mask Programmable Gate Arrays (MPGAs, auch "structured ASICs" genannt), welchen mittels hardwaremäßigen Konfigurierens eine Logikfunktion zugewiesen werden kann. Via Programmable Gate Arrays (VPGAs) gehören zu den MPGAs.

25

Eine digitale Logikzelle bildet  $n$  Eingangssignale auf ein Ausgangssignal ab. Die Anzahl der möglichen

30

Abbildungsfunktionen ist  $2^{2^n}$ . Eine Schaltungsgruppe als digitale Logikzelle wird gemäß dem Stand der Technik z.B. unter Verwendung von sogenannten Look-Up-Tabellen (LUT), anschaulich Nachschlagetabellen, realisiert. Hierfür werden

Funktionswerte der Logikfunktion mittels eines Datenwortes von  $2^n$  Bit eingestellt. Mit anderen Worten ist die jeweils ausgewählte Logikfunktion in ein Datenwort kodiert.

Entsprechend der ausgewählten Logikfunktion werden  $n$

- 5 Eingangssignale  $a_0, a_1, \dots, a_{n-1}$  miteinander verknüpft. Somit können die Logikeingangssignale der Logikfunktion  $y=f(a_0, a_1, \dots, a_{n-1})$  als binäre Adresse angesehen werden und in eine One-Hot-Codierung gewandelt werden, um anschließend über Pass-Gate-Logik den Funktionswert zu wählen. Ein solches
- 10 Verfahren ist zum Beispiel in [1] offenbart.

Alternativ können die Eingänge als Steuereingänge für einen Multiplexer-Baum dienen, siehe [2]. Die Multiplexer können logikbasiert und/oder auf Basis von Transmissions-Gates

15 realisiert werden.

In [3] ist ein FPGA auf Basis einer Look-Up-Tabelle (LUT) offenbart.

- 20 Die aus dem Stand der Technik bekannten Logik-Grundzellen unter Verwendung einer Look-Up-Tabelle weisen hinsichtlich Schaltgeschwindigkeit bzw. Störsicherheit Nachteile auf. Die bekannten Lösungen lassen sich ferner für viele Anwendungen nicht ausreichend kompakt im Layout realisieren. Daher ist
- 25 mit den aus dem Stand der Technik bekannten LUT-Lösungen eine fortgesetzte Skalierung nur schwierig möglich.

- Alternativ zu den bekannten LUT-Architekturen sind aus dem Stand der Technik Verschaltungen aus einzelnen Logikgattern
- 30 bekannt, mit denen eine gewünschte Logikfunktion gebildet werden kann. Allerdings ist eine solche Architektur auf das Bilden einer ganz bestimmten Logikfunktion beschränkt, wohingegen der Gesamtumfang aller möglichen Logikabbildungs-

Funktionen unter Verwendung vorgegebener Logikgatter nur sehr aufwendig zu realisieren ist. Auch hinsichtlich der erreichbaren Schaltgeschwindigkeit sind die komplizierten Logikgatter beschränkt. Die Einschränkung des Umfangs der möglichen Logikfunktionen kompliziert die automatische Logikpartitionierung bei einem FPGA Entwurf erheblich.

Ein anderer Ansatz besteht darin, logische Komplexgatter, die eine Verknüpfung von mehreren logischen Eingängen realisieren, flexibel beschaltbar zu machen und durch geschicktes Kombinieren von weniger als den möglichen Eingängen zu einer vollständigen oder fast vollständigen Abdeckung des kombinatorischen Funktionsraums zu gelangen. Eine solche Realisierung weist jedoch den Nachteil auf, dass Flexibilität außerhalb der Zelle zur inneren logischen Konfiguration der Zelle benutzt wird und damit eingeschränkt ist. Außerdem ist das funktionelle Mapping in der Regel aufwendig.

Weiterhin ist aus [4] ein konfigurierbares NAND/NOR-Element bekannt.

Der Erfindung liegt insbesondere das Problem zugrunde, eine Logik-Grundzelle bereitzustellen, die mit vertretbarem Flächenaufwand fertigbar ist und eine ausreichend gute Signalverarbeitungsgeschwindigkeit aufweist.

Das Problem wird durch eine Logik-Grundzelle, durch eine Logik-Grundzellen-Anordnung und durch eine Logik-Vorrichtung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Die erfindungsgemäße Logik-Grundzelle zum Bilden eines Ausgangssignals aus mindestens drei Eingangssignalen gemäß einer vorgebbaren Logikfunktion enthält einen ersten Logikfunktionsblock mit zwei Datensignaleingängen, an denen  
5 ein erstes Eingangssignal und ein zweites Eingangssignal anlegbar sind, und mit einem Datensignalausgang zum Bereitstellen einer Logikverknüpfung des ersten Eingangssignals und des zweiten Eingangssignals gemäß einer vorgebbaren ersten Logikteilmfunktion. Ferner enthält die  
10 Logik-Grundzelle einen zweiten Logikfunktionsblock mit zwei Datensignaleingängen, an denen das erste Eingangssignal und das zweite Eingangssignal anlegbar sind, und mit einem Datensignalausgang zum Bereitstellen einer Logikverknüpfung des ersten Eingangssignals und des zweiten Eingangssignals  
15 gemäß einer vorgebbaren zweiten Logikteilmfunktion. Ferner ist ein erster Logik-Transistor mit einem ersten Source-/Drain-Anschluss bereitgestellt, der mit dem Datensignalausgang des ersten Logikfunktionsblocks gekoppelt ist, mit einem Gate-Anschluss, an dem ein drittes Eingangssignal bereitstellbar  
20 ist, und mit einem zweiten Source-/Drain-Anschluss, an dem das Ausgangssignal bereitstellbar ist. Darüber hinaus ist ein zweiter Logik-Transistor mit einem zweiten Source-/Drain-Anschluss bereitgestellt, der mit dem Datensignalausgang des zweiten Logikfunktionsblocks gekoppelt ist, mit einem Gate-  
25 Anschluss, an dem ein zu dem dritten Eingangssignal komplementäres Signal bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des ersten Logik-Transistors gekoppelt ist.

30 Die erfindungsgemäße Logik-Grundzellen-Anordnung zum Bilden eines Ausgangssignals aus mindestens vier Eingangssignalen gemäß einer vorgebbaren Logikfunktion enthält eine erste Logik-Grundzelle mit den oben beschriebenen Merkmalen. Ferner

ist ein dritter Logik-Transistor bereitgestellt, mit einem ersten Source-/Drain-Anschluss, an den das Ausgangssignal der ersten Logik-Grundzelle anlegbar ist, mit einem Gate-Anschluss, an dem ein viertes Eingangssignal bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, an dem das Ausgangssignal der Logik-Grundzellen-Anordnung bereitstellbar ist. Darüber hinaus enthält die Logik-Grundzellen-Anordnung eine zweite Logik-Grundzelle mit den oben beschriebenen Merkmalen. Ferner ist ein vierter Logik-Transistor bereitgestellt, mit einem ersten Source-/Drain-Anschluss, an dem das Ausgangssignal der zweiten Logik-Grundzelle anlegbar ist, mit einem Gate-Anschluss, an dem ein zu dem vierten Eingangssignal komplementäres Signal bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist.

Ferner ist erfindungsgemäß eine Logik-Vorrichtung zum Bilden einer logischen Verknüpfung von mehr als vier Datensignalen geschaffen, die eine Mehrzahl von Logik-Grundzellen-Anordnung mit den oben beschriebenen Merkmalen aufweist.

Eine Grundidee der Erfindung beruht darauf, in einer Logik-Grundzelle zwei mittels zweier Logikfunktionsblöcke generierte Logik-Verknüpfungen einer ersten Anzahl von Eingangssignalen miteinander in vorteilhafter Weise so zu verknüpfen, dass mit geringem Hardware-Aufwand eine komplexere Logikfunktion einer größeren Anzahl von Eingangssignalen realisiert wird. Eine zu realisierende komplexe Logikfunktion wird anschaulich basierend auf der sogenannten Shannon-Zerlegung auf einfachere Logikteilfunktionen zurückgeführt, und dies in

schaltungstechnisch besonders einfacher Weise mittels zweier Logik-Transistoren.

Mit der in Gleichung (1) dargestellten Shannon-Zerlegung kann  
 5 eine Logikfunktion  $y(a_0, a_1, a_2)$  von beispielsweise drei  
 Eingangssignalen  $a_0, a_1, a_2$  in zwei Logikteilmfunktionen  
 $y_0(a_1, a_0), y_1(a_1, a_0)$  zerlegt werden, welche Logikteilmfunktionen  
 von einem Eingangssignal nicht mehr abhängen. Das Bilden der  
 Funktion  $y$  aus  $y_0$  und  $y_1$  erfolgt unter Verwendung des dritten  
 10 Eingangssignals  $a_2$  und des dazu logisch komplementären  
 Signals  $\overline{a_2}$ :

$$y(a_2, a_1, a_0) = \overline{a_2} \cdot y_0(a_1, a_0) \vee a_2 \cdot y_1(a_1, a_0) \quad (1)$$

15 Verallgemeinert auf eine Funktion  $f$  von  $n$  Eingangssignalen,  
 die auf zwei Teilfunktionen  $f_0, f_1$  von jeweils  $(n-1)$   
 Eingangssignalen zurückgeführt wird, ergibt sich

$$f(a_n, a_{n-1}, \dots, a_1, a_0) = \overline{a_n} \cdot f_0(a_{n-1}, \dots, a_0) \vee a_n \cdot f_1(a_{n-1}, \dots, a_0) \quad (2)$$

Anschaulich wird eine Aussage der booleschen Logik als  
 Grundlage für eine Schaltungsarchitektur verwendet, welche in  
 der erfindungsgemäßen Logik-Grundzelle realisiert ist. Die  
 25 Funktion  $f(a_n, a_{n-1}, \dots, a_0)$  von  $n+1$  Eingangssignalen  $a_i$  lässt  
 sich gemäß der booleschen Logik gemäß Gleichung (2) auf zwei  
 Funktionen  $f_0, f_1$  von jeweils  $n$  Eingangssignalen  $a_i$   
 zurückführen.

30 Für den Fall  $n=2$ , das heißt für eine Funktion von  $n+1=3$   
 Eingangssignalen, ist somit die Logikgesamtfunktion  $f$  als  
 Funktion dreier Eingangssignale auf zwei Logikteilmfunktionen  
 $f_0$  und  $f_1$  von je zwei Eingangssignalen zurückgeführt. Jede



der Logikteilfunktionen  $f_0$ ,  $f_1$  kann von einem der Logikfunktionsblöcke einer Logik-Grundzelle realisiert werden.

- 5 Erfindungsgemäß wird die Rückführung einer Funktion  $f$  von allgemein  $n$  Variablen auf zwei Funktionen mit jeweils  $(n-1)$  Variablen dadurch realisiert, dass die ersten und zweiten Logik-Transistoren in der beschriebenen Weise mit den Datensignalausgängen der ersten und zweiten
- 10 Logikfunktionsblöcke verschaltet werden. Diese Realisierung stellt eine schaltungstechnisch besonders vorteilhafte Verwirklichung von Gleichung (1) bzw. (2) dar, bei der eine geringe Anzahl verwendeter Transistoren mit einer hohen Signalverarbeitungsgeschwindigkeit und einem geringen
- 15 Flächenbedarf auf einem Halbleiterwafer kombiniert sind.

Anschaulich wird in einem ersten Logikfunktionsblock, dessen Aufbau beliebig ist, die Logikfunktion  $y_0(a_1, a_0)$  (bzw. allgemein  $f_0$  gemäß Gleichung (2)) dadurch realisiert, dass an

20 den Eingängen des ersten Logikfunktionsblocks die Eingangssignale  $a_0$ ,  $a_1$  bereitgestellt werden und der Logikfunktionsblock hinsichtlich seiner Funktionalität derart eingerichtet ist, dass er die Logikfunktion  $y_0$  realisiert. Ferner wird in einem zweiten Logikfunktionsblock die Funktion

25  $y_1(a_1, a_0)$  (bzw. allgemein  $f_1$  gemäß Gleichung (2)) realisiert, indem an den Eingängen des zweiten Logikfunktionsblocks die Datensignale  $a_1$ ,  $a_0$  bereitgestellt werden und das Ausgangssignal  $y_1(a_1, a_0)$  an dem Ausgang des zweiten Logikfunktionsblocks bereitgestellt ist. Unter Verwendung von

30 nur zwei Transistoren, nämlich des ersten und des zweiten Logik-Transistors, werden die gemäß den auswählbaren Logikteilfunktionen gebildeten Logikfunktionswerte  $y_0$ ,  $y_1$  (bzw. allgemein  $f_0$ ,  $f_1$  gemäß Gleichung (2)) derart mit dem

drritten Datensignal  $a_2$  bzw. mit den dazu logisch  
komplementären Signal  $\overline{a_2}$  verknüpft, dass gemäß Gleichung (1)  
bzw. (2) die Gesamtfunktion  $y$  bzw.  $f$  realisiert wird. Diese  
Verknüpfung ist erfindungsgemäß mit lediglich zwei  
5 zusätzlichen Feldeffekttransistoren realisierbar, so dass  
eine schaltungstechnisch äußerst günstige Verkopplung der  
Datensignale  $a_0$ ,  $a_1$ ,  $a_2$  ermöglicht ist.

Anschaulich ist erfindungsgemäß die Verwendung eines  
10 expliziten Multiplexers zum Verkoppeln der  
Logikteilmfunktionen  $y_0$ ,  $y_1$  mit dem dritten Datensignal  $a_2$  bzw.  
dessen logisch komplementären Signal  $\overline{a_2}$  vermieden. Die  
Funktionalität eines Multiplexers wird anschaulich von den  
zwei Logik-Transistoren erfüllt.

15 Anders ausgedrückt ermöglicht die Erfindung eine Realisierung  
von Funktionen von mehr als zwei Eingangssignalen mit einer  
geringen Anzahl von Transistoren, wobei ein expliziter  
Multiplexer entbehrlich ist, so dass nur eine optimal geringe  
20 Anzahl von Transistoren erforderlich ist.

Ein wichtiger Aspekt der Erfindung besteht darin, die dritte  
(bzw. eine vierte oder zusätzliche) Schaltvariable in einem  
Transistorserienpfad derart anzuordnen bzw. derart zu  
25 verschalten, dass der Eingang mit der höchsten Wertigkeit  
direkt den Ausgang schaltet.

Mit der erfindungsgemäßen Logik-Grundzelle bzw. mit der  
darauf basierenden Logik-Grundzellen-Anordnung ist es  
30 ermöglicht, Logikfunktionen hoher Komplexität zwecks besserer  
Verarbeitbarkeit auf Logikfunktionen geringerer Komplexität  
zurückzuführen, und dies mit einer schaltungstechnisch  
äußerst vorteilhaften Anordnung von Transistoren zu

realisieren, die nur eine geringe Fläche auf einem Chip erfordern und eine schnelle Verarbeitung der zu verknüpfenden Signale sicherstellen.

- 5 Anders ausgedrückt kann erfindungsgemäß durch eine Verschaltung von Logik-Grundzellen miteinander eine beliebige, komplizierte Logikgesamtfunktion, die abhängig von einer Vielzahl von Eingangssignalen ist, auf mehrere einfachere Logikteilmfunktionen von einer geringeren Anzahl von Eingangssignalen zurückgeführt werden. Die
- 10 erfindungsgemäße Lösung basiert auf der booleschen Logik und realisiert diese in einer vorteilhaften, vorzugsweise halbleitertechnologischen Schaltungsarchitektur.
- 15 Die Auswahl einer Logikteilmfunktion (zum Beispiel UND-Verknüpfung, ODER-Verknüpfung, Exklusiv-ODER-Verknüpfung, Nicht-UND-Verknüpfung, Nicht-ODER-Verknüpfung, Nicht-Exklusiv-ODER-Verknüpfung, etc.) eines Logikfunktionsblocks kann beispielsweise mittels Konfigurierens von
- 20 Logikfunktionskonfigurationseingängen des jeweiligen Logikfunktionsblocks erfolgen. In der schaltungstechnischen Realisierung kann ein Logikfunktionsblock miteinander verschaltete Transistoren aufweisen, wobei mittels Anlegens von Logikfunktionssignalen an
- 25 Logikfunktionskonfigurationseingänge der Logikfunktionsblöcke bestimmte Pfade innerhalb des Transistornetzwerks durchgeschaltet werden können, so dass Eingangssignale gemäß diesen ausgewählten Pfaden gemäß einer vorgebbaren Logikfunktion verarbeitbar sind.

0

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Bei der erfindungsgemäßen Logik-Grundzelle kann der erste Logikfunktionsblock und der zweite Logikfunktionsblock jeweils mindestens einen zusätzlichen Datensignaleingang aufweisen, wobei an jedem der zusätzlichen

5    Datensignaleingänge ein zusätzliches Eingangssignal anlegbar ist, womit die Logik-Grundzelle zum Bilden eines Ausgangssignals aus mindestens vier Eingangssignalen gemäß einer vorgebbaren Logikfunktion eingerichtet ist. Anders ausgedrückt sind gemäß dieser Ausgestaltung an jeden der

10   Logikfunktionsblöcke mehr als zwei Eingangssignale angelegt, so dass der entsprechende Logikfunktionsblock eine Logikteilfunktion von mindestens drei Eingangssignalen realisiert. Somit ist die erfindungsgemäße Logik-Grundzelle nicht auf die Verknüpfung von insgesamt drei Datensignalen

15   miteinander beschränkt, sondern kann gemäß Gleichung (2) mit einer beliebigen Anzahl von Daten- oder Eingangssignalen betrieben werden. Dies ermöglicht auch sehr komplexe Verknüpfungen von vielen Datensignalen.

20   Der erste Logikfunktionsblock und der zweite Logikfunktionsblock können jeweils aus einer Mehrzahl von miteinander gemäß der jeweiligen Logik-Teilfunktion verschalteten Datensignal-Transistoren gebildet sein. Somit kann die Logik-Grundzelle vollständig aus Transistoren

25   (vorzugsweise Feldeffekttransistoren) aufgebaut werden und daher mit den ausgereiften Methoden der Silizium-Mikroelektronik gefertigt werden.

Die Logik-Transistoren und die Datensignal-Transistoren

30   können Transistoren eines ersten Leitungstyps sein, und die Transistoren des ersten Leitungstyps können einen ersten Datensignalfad bilden. Ferner kann ein zweiter Datensignalfad aus Transistoren eines zweiten Leitungstyps,

der zu dem ersten Leitungstyp komplementär ist, gebildet werden, wobei zu jedem der Transistoren des ersten Datensignalpfads ein entsprechend verschalteter Transistor in dem zweiten Datensignalpfad bereitgestellt ist. Die zweiten  
5 Source-/Drain Anschlüsse der Logik-Transistoren des ersten Datensignalpfads und die zweiten Source-/Drain Anschlüsse der Logik-Transistoren des zweiten Datensignalpfads können in der erfindungsgemäßen Logik-Grundzelle miteinander gekoppelt sein.

10

Die Transistoren des ersten Leitungstyps können zum Beispiel Transistoren des n-Leitungstyps sein, wohingegen die Transistoren des zweiten Leitungstyps Transistoren des p-Leitungstyps sein können, oder vice versa. Somit kann die  
15 erfindungsgemäße Logik-Grundzelle beispielsweise unter Verwendung einer CMOS-Architektur gebildet sein.

Die erfindungsgemäße Logik-Grundzelle kann mit einem Evaluierungs-Schalter versehen sein, an dem das  
20 Ausgangssignal anlegbar ist, und mit einem Vorlade-Schalter, welche Schalter derart verschaltet und steuerbar sind, dass an einem Ausgang der Logik-Grundzelle bei geöffnetem (das heißt Signaltransfer erlaubenden) Evaluierungs-Schalter und geschlossenem (das heißt Signaltransfer nicht erlaubenden)  
!5 Vorlade-Schalter das Ausgangssignal bereitgestellt ist.

Ferner kann an dem Ausgang der Logik-Grundzelle bei geöffnetem (das heißt Signaltransfer erlaubenden) Vorlade-Schalter und geschlossenem (das heißt Signaltransfer nicht erlaubenden) Evaluierungs-Schalter ein Referenzsignal  
0 bereitgestellt ist. Der Evaluierungs-Schalter und der Vorlade-Schalter können jeweils Transistoren sein, insbesondere Feldeffekttransistoren oder Bipolartransistoren.

Gemäß dieser Ausgestaltung kann mittels des Vorlade- oder Precharge-Schalters der Ausgang auf das Referenzpotential vorgeladen werden (Precharge-Phase), zum Beispiel während der ersten Hälfte einer Schaltperiode der Logik-Grundzelle.

- 5 Mittels des Evaluierungs-Schalters kann an dem Ausgang das gemäß der vorgegebenen Logikfunktion verarbeitete Ausgangssignal bereitgestellt werden, zum Beispiel während der zweiten Hälfte der Schaltperiode der Logik-Grundzelle (Evaluate-Phase).

10

Die erfindungsgemäße Logik-Grundzelle kann als CMOS Logik-Grundzelle eingerichtet sein.

- Gemäß einer Ausgestaltung der Erfindung kann zumindest einer  
15 der Logikfunktionsblöcke in der Struktur eines Programmable Logic Device (PLD), eines Field-Programmable Gate Array (FPGA), eines maskenprogrammierten Application-Specific Integrated Circuit (mASIC), eines Logikgatters oder einer Anordnung mehrerer Logikgatter oder einer Look-Up-Tabelle  
20 gebildet sein. Erfindungsgemäß kann im Prinzip jede beliebige Ausgestaltung für die Logikfunktionsblöcke gewählt werden. Im Falle der Ausgestaltung eines Logikfunktionsblocks als Look-Up-Tabelle kann beispielsweise die aus [3] bekannte Architektur in der Logik-Grundzelle der Erfindung  
25 implementiert werden. Im Falle der Realisierung eines Logikfunktionsblocks als maskenprogrammierter Application-Specific Integrated Circuit bzw. als "structured ASIC" kann eine gewünschte Logikteilstfunktion eines Logikfunktionsblocks mittels Festverdrahtens von Transistoren innerhalb des  
30 Logikfunktionsblocks realisiert werden. Mit anderen Worten kann unter Verwendung von Vias oder anderen fest implementierten Kopplungselementen ein bestimmter Signalpfad bzw. mehrere Signalpfade innerhalb der Transistor-Anordnung

eines solchen "structured ASICs" erlaubt werden, wodurch dem Logikfunktionsblock dauerhaft eine feste Logikfunktion zugeordnet ist.

- 5 An mindestens einem Logikkonfigurationseingang von zumindest einem der Logikfunktionsblöcke kann die realisierbare Logikteilfunktion unveränderlich vorgegeben werden. Gemäß dieser Ausgestaltung erfüllt der Logikfunktionsblock stets die ihm fest und unveränderlich zugewiesene
- 10 Logikteilfunktion, da diese mittels Anlegens vorgegebener Signale (oder Betriebsspannungen) an den Logikkonfigurationseingängen fest eingestellt ist. Die vorgegebene Logikteilfunktion kann auch festverdrahtet mittels Kurzschließens oder entsprechenden hardwaremäßigen
- 15 Koppeln der Transistoren des Logikfunktionsblocks realisiert werden. Dann können an die in festgelegter Weise miteinander verschalteten Transistoren über einen oder mehrere Anschlüsse des Logikfunktionsblocks vorgegebene elektrische Potentiale (zum Beispiel Betriebsspannung, Massepotential) angelegt
- 20 werden. Bei fest vorgegebener Logikteilfunktion eines Logikfunktionsblocks kann eine mit dem mindestens einen Logikkonfigurationseingang gekoppelte Speichereinrichtung vorgesehen sein, in welcher die Information zum Vorgeben der realisierbaren Logikteilfunktion speicherbar ist. Somit ist
- 25 in einer solchen Speichereinrichtung ein Datenwort speicherbar, in welchem die Logikteilfunktion des Logikfunktionsblocks kodiert ist, zum Beispiel als binäres Datenwort.
- 30 Alternativ zu der beschriebenen Ausgestaltung kann an mindestens einem Logikfunktionskonfigurationseingang eines jeweiligen Logikfunktionsblocks die realisierbare Logikteilfunktion mittels eines anlegbaren Signals variabel

vorgegeben sein. Bei dieser Ausgestaltung des Logikfunktionsblocks kann dieser jede beliebige Logikfunktion durchführen, welche der Logik-Grundzelle mittels eines (zum Beispiel zeitlich) veränderlichen elektrischen Potentials an Steuereingängen von Transistoren innerhalb des Logikfunktionsblocks vorgegeben ist. In diesem Szenario kann der Logikfunktionsblock als variable Logikkomponente der übergeordneten Logik-Grundzelle bzw. der dieser übergeordneten Logik-Grundzellen-Anordnung verschaltet werden, was eine flexible Schaltungsarchitektur ermöglicht.

Die erfindungsgemäße Logik-Grundzelle ist vorzugsweise zum Verarbeiten von digitalen Datensignalen eingerichtet, welche einen logischen Wert "1" oder "0" aufweisen.

Gemäß einem bevorzugten Ausführungsbeispiel der erfindungsgemäßen Logik-Grundzelle weist zumindest einer der Logikfunktionsblöcke ferner einen ersten Komplementär-Datensignaleingang auf, an den das zu dem ersten Eingangssignal logisch komplementäre Signal anlegbar ist, und weist einen zweiten Komplementär-Datensignaleingang auf, an den das zu dem zweiten Eingangssignal logisch komplementäre Signal anlegbar ist. Ein erstes Logikauswahl-Element ist zwischen dem ersten Datensignaleingang und dem zweiten Datensignaleingang gebildet. Ein zweites Logikauswahl-Element ist zwischen dem ersten Datensignaleingang und dem zweiten Komplementär-Datensignaleingang gebildet. Ein drittes Logikauswahl-Element ist zwischen dem zweiten Datensignaleingang und dem ersten Komplementär-Datensignaleingang gebildet. Ein viertes Logikauswahl-Element ist zwischen dem ersten Komplementär-Datensignaleingang und dem zweiten Komplementär-Datensignaleingang gebildet. An dem Datensignalausgang ist die Logik-Verknüpfung der zwei



Datensignale gemäß der mittels der Logikauswahl-Elemente ausgewählten Logikfunktion bereitstellbar.

Gemäß dieser Ausgestaltung ist zumindest einer der  
5 Logikfunktionsblöcke der Logik-Grundzelle in einer solchen schaltungstechnischen Realisierung bereitgestellt, dass bei einer sehr geringen Anzahl von erforderlichen Komponenten (zum Beispiel Transistoren) eine komplette Abbildung des kombinatorischen Funktionsraums über  $n$  Eingängen erreicht  
10 ist. Mit anderen Worten ist es mit dieser Ausgestaltung der Logikfunktionsblöcke ermöglicht, jede mögliche Logikverknüpfung von zwei Datensignalen in einer optimierten Verschaltung von Logikauswahl-Elementen und Datensignaleingängen zu realisieren. In Kombination mit den  
15 Logik-Transistoren der Logik-Grundzelle kann somit eine schaltungstechnisch äußerst effiziente Verknüpfung von drei Datensignalen ermöglicht werden. Anschaulich sind die Logikauswahl-Elemente des Logikfunktionsblocks derart konfiguriert, dass sie die von der erfindungsgemäßen Logik-  
20 Grundzelle realisierte Logikfunktion determinieren. Dies kann zum Beispiel durch eine hartverdrahtete Realisierung der Logikauswahl-Elemente erreicht werden, so dass in diesem Fall die Logikfunktion mittels der durch die Logikauswahl-Elemente vorgegebenen unveränderlichen Verdrahtung der  
25 Datensignaleingänge bestimmt ist. Alternativ können die Logikauswahl-Elemente zum Beispiel als Logikauswahl-Transistoren vorgesehen sein, wobei mittels Anlegens von Logikauswahlsignalen an deren Gate-Anschlüsse die zu realisierende Logikfunktion vorgegeben wird.

30

Diese Architektur eines Logikfunktionsblocks stellt eine sehr einfache Anordnung dar, bei der es mit schaltungstechnisch sehr geringem Aufwand ermöglicht ist, jede mögliche

Logikfunktion von zwei Eingängen zu realisieren. Die besonders kompakte Realisierung der Logikfunktionsblöcke gemäß der beschriebenen Ausgestaltung spart Chipfläche und ermöglicht somit eine miniaturisierte Realisierung der Logik-  
5 Grundzelle.

Die Logikauswahl-Elemente können unveränderliche Hardwareelemente sein. Gemäß dieser Realisierung wird die gewünschte Logikfunktion einmal fest vorgegeben, und zwar  
10 mittels Verdrahtens der vier Datensignaleingänge in einer vorgegebenen Weise. Die vorgegebene Kopplung zwischen den einzelnen Datensignalen, die an den Datensignaleingängen bereitgestellt werden, wird durch die Verschaltung der Logikauswahl-Elemente vorgegeben und führt somit zu einer  
15 eindeutigen Logikfunktion.

Gemäß der beschriebenen Konfiguration können die Logikauswahl-Elemente mittels einer Mehrzahl von Metallisierungsebenen und/oder Vias realisiert werden.  
20

Bei dem Logikfunktionsblock gemäß der beschriebenen Ausgestaltung der Erfindung kann das erste Logikauswahl-Element ein erster Logik-Transistor sein, der mittels eines ersten Logikauswahlsignals steuerbar ist. Das zweite  
25 Logikauswahl-Element kann ein Logik-Transistor sein, der mittels eines zweiten Logikauswahlsignals steuerbar ist. Das dritte Logikauswahl-Element kann ein dritter Logik-Transistor sein, der mittels eines dritten Logikauswahlsignals steuerbar ist. Das vierte Logikauswahl-Element kann ein vierter Logik-  
30 Transistor sein, der mittels eines vierten Logikauswahl-Elements steuerbar ist. Gemäß dieser Ausgestaltung werden vier Logikauswahlsignale an die Logik-Transistoren, vorzugsweise an deren Gate-Anschlüsse, angelegt, wodurch eine

ganz bestimmte Kopplung der Datensignale an den Datensignaleingängen realisiert wird. Gemäß dieser speziellen Kopplung, die variabel vorgebbar ist, wird die realisierte Logikfunktion vorgegeben.

5

Ferner kann der Logikfunktionsblock gemäß der beschriebenen Ausgestaltung vier Datensignal-Transistoren aufweisen, an deren Gate-Anschlüssen jeweils eines der Datensignale oder der logisch komplementären Datensignale bereitstellbar ist.

10 Bei dieser Ausgestaltung werden die vier Datensignale, das heißt das erste Datensignal und das dazu logisch komplementäre Datensignal, sowie das zweite Datensignal und das dazu logisch komplementäre Datensignal über Gate-Anschlüsse von vier Datensignal-Transistoren in den  
15 Logikfunktionsblock eingekoppelt.

Gemäß der beschriebenen Ausgestaltung kann ein erster Datensignal-Transistor derart verschaltet sein, dass ein erster Source-/Drain-Anschluss mit einem ersten Source-  
20 /Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des zweiten Logik-Transistors gekoppelt ist. Ferner kann der zweite Source-/Drain-Anschluss des zweiten Datensignal-Transistors mit einem ersten Source-/Drain-Anschluss eines dritten Datensignal-Transistors  
25 gekoppelt sein.

Der dritte Datensignal-Transistor kann derart verschaltet sein, dass dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten Logik-Transistors  
30 und mit einem ersten Source-/Drain-Anschluss des zweiten Logik-Transistors gekoppelt ist.

Ein zweiter Datensignal-Transistor kann derart verschaltet sein, dass dessen erster Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des dritten  
5 Logik-Transistors gekoppelt ist. Ein zweiter Source-/Drain-Anschluss des ersten Datensignal-Transistors kann mit einem ersten Source-/Drain Anschluss eines vierten Datensignal-Transistors gekoppelt sein. Der vierte Datensignal-Transistor kann derart verschaltet sein, dass dessen zweiter Source-  
10 /Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des vierten Logik-Transistors gekoppelt ist.

Die beschriebene Verschaltung der vier Datensignal-  
15 Transistoren mit den vier Logik-Transistoren stellt eine bevorzugte schaltungstechnische Realisierung eines Logikfunktionsblocks einer Logik-Grundzelle zum Realisieren einer möglichen Logikfunktion zum Verknüpfen der Datensignale bereit, und dies mit schaltungstechnisch sehr geringem  
20 Aufwand.

Wenngleich Ausgestaltungen der Logik-Grundzelle beschrieben worden sind, so sollen diese Ausgestaltungen auch für die erfindungsgemäße Logik-Grundzellen-Anordnung und die  
25 erfindungsgemäße Logik-Vorrichtung gelten.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

30 Es zeigen:

Figur 1 eine Logik-Grundzelle gemäß einem Ausführungsbeispiel der Erfindung,

Figur 2 eine Tabelle, in der die Korrelation zwischen Werten von vier Logikauswahlsignalen und einer von der Logik-Grundzelle gemäß Figur 1 realisierten Logikfunktion dargestellt sind,

Figur 3 einen Logikfunktionsblock einer Logik-Grundzelle gemäß einem Ausführungsbeispiel der Erfindung,

Figur 4 eine Logik-Grundzellen-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figur 5 eine Logik-Grundzellen-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung,

Figuren 6A und 6B einen p-MOS-Teilpfad und einen n-MOS-Teilpfad eines Logikfunktionsblocks einer Logik-Grundzelle gemäß einem Ausführungsbeispiel der Erfindung.

Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Die Darstellung in den Figuren ist schematisch und nicht maßstäblich.

Im Weiteren wird beziehend auf **Fig.1** eine Logik-Grundzelle 100 gemäß einem Ausführungsbeispiel der Erfindung beschrieben.

Die Logik-Grundzelle 100 weist einen ersten Datensignalpfad 101 aus n-MOS-Transistoren und einen zweiten Datensignalpfad 102 aus p-MOS-Transistoren auf. Der erste Datensignalpfad 101 enthält einen ersten Logikfunktionsblock 160 und einen zweiten Logikfunktionsblock 170. Der zweite Datensignalpfad

102 enthält einen ersten Logikfunktionsblock 140 und einen zweiten Logikfunktionsblock 150.

Im Weiteren wird die Struktur des ersten Logikfunktionsblocks  
5 160 des ersten Datensignalfads 101 näher beschrieben.

Der erste Logikfunktionsblock 160 des ersten Datensignalfads 101 weist einen ersten Datensignaleingang 103 auf, an dem ein zu einem ersten Datensignal  $a_0$  komplementäres erstes  
10 komplementäres Datensignal  $\overline{a_0}$  bereitgestellt ist. Ferner ist an einem zweiten Datensignaleingang 104 ein zu einem zweiten Datensignal  $a_1$  komplementäres zweites komplementäres Datensignal  $\overline{a_1}$  bereitgestellt. An einem dritten  
15 Datensignaleingang 105 ist das erste Datensignal  $a_0$  bereitgestellt. Darüber hinaus ist an einem vierten Datensignaleingang 106 das zweite Datensignal  $a_1$  bereitgestellt.

An einem Datensignalausgang 107b des ersten  
20 Logikfunktionsblocks 160 des ersten Datensignalfads 101 ist ein Ausgangssignal des ersten Logikfunktionsblocks 160, das heißt eine Logikverknüpfung des ersten Eingabesignals  $a_0$ ,  $\overline{a_0}$  und des zweiten Eingabesignals  $a_1$ ,  $\overline{a_1}$  gemäß einer vorgebbaren Logikteilstfunktion bereitgestellt.

25

Als ein erstes Logikauswahl-Element ist ein erster n-MOS-Logikauswahl-Transistor 108 zwischen dem ersten  
Datensignaleingang 103 und dem zweiten Datensignaleingang 104 bereitgestellt. Der erste n-MOS-Logikauswahl-Transistor 108  
30 ist mittels eines ersten Logikauswahlsignals  $s_0$  steuerbar. Ferner ist ein zweiter n-MOS-Logikauswahl-Transistor 109 als ein zweites Logikauswahl-Element zwischen dem ersten

Datensignaleingang 103 und dem vierten Datensignaleingang 106 bereitgestellt. Der zweite n-MOS-Logikauswahl-Transistor 109 ist mittels eines zweiten Logikauswahlsignals  $s_1$  steuerbar. Darüber hinaus ist als drittes Logikauswahl-Element ein  
5 dritter n-MOS-Logikauswahl-Transistor 110 zwischen dem zweiten Datensignaleingang 104 und dem dritten Datensignaleingang 105 bereitgestellt, welcher dritte n-MOS-Logikauswahl-Transistor 110 mittels eines dritten Logikauswahlsignals  $s_2$  steuerbar ist. Als ein viertes  
10 Logikauswahl-Element ist ein vierter n-MOS-Logikauswahl-Transistor 111 zwischen dem dritten Datensignaleingang 105 und dem vierten Datensignaleingang 106 verschaltet, welcher vierte n-MOS-Logikauswahl-Transistor 111 mittels eines vierten Logikauswahlsignals  $s_3$  steuerbar ist.

15 Der erste Datensignaleingang 103 ist mit dem Gate-Bereich eines ersten n-MOS-Datensignal-Transistors 112 gekoppelt. Der zweite Datensignaleingang 104 ist mit dem Gate-Bereich eines zweiten n-MOS-Datensignal-Transistors 113 gekoppelt. Der  
20 dritte Datensignaleingang 105 ist mit dem Gate-Bereich eines dritten n-MOS-Datensignal-Transistors 114 gekoppelt. Der vierte Datensignaleingang 106 ist mit dem Gate-Bereich eines vierten n-MOS-Datensignal-Transistors 115 gekoppelt.

25 Der erste n-MOS-Datensignal-Transistor 112 ist derart verschaltet, dass dessen erster Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des ersten n-MOS-Logikauswahl-Transistors 108 und mit einem ersten Source-/Drain-Anschluss des zweiten n-MOS-Logikauswahl-Transistors  
30 109 gekoppelt ist. Ein zweiter Source-/Drain Anschluss des n-MOS-Datensignal-Transistors 112 ist mit einem ersten Source-/Drain-Anschluss des dritten n-MOS-Datensignal-Transistors 114 gekoppelt und auf das elektrische Versorgungspotential

126 gebracht. Der dritte n-MOS-Datensignal-Transistor 114 ist  
derart verschaltet, dass dessen zweiter Source-/Drain-  
Anschluss mit einem ersten Source-/Drain-Anschluss des  
vierten n-MOS-Logikauswahl-Transistors 111 und mit einem  
5 ersten Source-/Drain-Anschluss des dritten n-MOS-  
Logikauswahl-Transistors 110 gekoppelt ist. Der zweite n-MOS-  
Datensignal-Transistor 113 ist derart verschaltet, dass  
dessen erster Source-/Drain-Anschluss mit einem zweiten  
Source-/Drain-Anschluss des ersten n-MOS-Logikauswahl-  
10 Transistors 108 und mit einem zweiten Source-/Drain-Anschluss  
des dritten n-MOS-Logikauswahl-Transistors 110 gekoppelt ist.  
Ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-  
Datensignal-Transistors 113 ist mit einem ersten Source-  
/Drain-Anschluss des vierten n-MOS-Datensignal-Transistors  
15 115 gekoppelt. Der vierte n-MOS-Datensignal-Transistor 115  
ist derart verschaltet, dass dessen zweiter Source-/Drain-  
Anschluss mit einem zweiten Source-/Drain-Anschluss des  
zweiten n-MOS-Logikauswahl-Transistors 109 und mit einem  
zweiten Source-/Drain-Anschluss des vierten n-MOS-  
0 Logikauswahl-Transistors 111 gekoppelt ist. Der zweite  
Source-/Drain-Anschluss des zweiten n-MOS-Datensignal-  
Transistors 113 und der erste Source-/Drain-Anschluss des  
vierten n-MOS-Datensignal-Transistors 115 sind mit dem  
Datensignalausgang 107b gekoppelt.

5 Mittels eines ersten Inverters 124 kann aus dem zweiten  
Datensignal  $a_1$  das dazu komplementäre Datensignal  $\overline{a_1}$   
generiert werden. Mittels eines zweiten Inverters 125 kann  
aus dem ersten Datensignal  $a_0$  das dazu komplementäre  
3 Datensignal  $\overline{a_0}$  generiert werden. Mittels eines dritten  
Inverters 128 kann aus dem dritten Datensignal  $a_2$  das dazu  
komplementäre Datensignal  $\overline{a_2}$  generiert werden.



Der zweite Logikfunktionsblock 170 des ersten Datensignalpfads 101 ist gemäß dem beschriebenen Ausführungsbeispiel völlig identisch aufgebaut wie der erste Logikfunktionsblock 160 des ersten Datensignalpfads 101.

5 Allerdings kann die Logikteilmfunktion, die mittels des zweiten Logikfunktionsblocks 170 realisiert wird, sich von der Logikteilmfunktion unterscheiden, welche mittels des ersten Logikfunktionsblocks 160 realisiert wird. Dies ist in Fig.1 dadurch gekennzeichnet, dass Logikauswahlsignale  $s_4$  bis  
10  $s_7$  des zweiten Logikfunktionsblocks 170 des ersten Datensignalpfads 101 von den Logikfunktionssignalen  $s_0$  bis  $s_3$  des ersten Logikfunktionsblocks 160 unterschiedlich bezeichnet sind. Somit kann in jedem der Logikfunktionsblöcke 160, 170 voneinander unabhängig eine beliebige logische  
15 Verknüpfung der Eingangssignale  $a_0$ ,  $a_1$ ,  $\overline{a_0}$ ,  $\overline{a_1}$  realisiert werden.

Ferner ist ein erster n-MOS-Logik-Transistor 129 bereitgestellt, mit einem ersten Source-/Drain-Anschluss, der  
20 mit dem Datensignalausgang 107b des ersten Logikfunktionsblocks 160 gekoppelt ist, mit einem Gate-Anschluss, an dem ein zu einem dritten Datensignal  $a_2$  komplementäres drittes komplementäres Eingangssignal  $\overline{a_2}$  bereitgestellt ist, und mit einem zweiten Source-/Drain-  
25 Anschluss, an dem das Ausgangssignal der Logik-Grundzelle 100 aus den drei Eingangssignalen  $a_0$ ,  $a_1$ ,  $a_2$  sowie deren logisch komplementären Signalen  $\overline{a_0}$ ,  $\overline{a_1}$ ,  $\overline{a_2}$  gemäß einer vorgegebenen Logikfunktion bereitgestellt ist. Ferner ist ein zweiter n-MOS-Logik-Transistor 130 in der Logik-Grundzelle 100  
30 bereitgestellt, mit einem ersten Source-/Drain-Anschluss, der mit dem ersten Datensignalausgang 107b des zweiten Logikfunktionsblocks 170 gekoppelt ist, mit einem Gate-

Anschluss, an dem das dritte Datensignal  $a_2$  bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des ersten n-MOS-Logik-Transistors 129 gekoppelt ist.

5

Im Weiteren wird der Aufbau des zweiten Datensignalfads 102 beschrieben.

Dieser ist in antisymmetrischer Weise zu dem ersten  
10 Datensignalfad 101 verschaltet, so dass in dem zweiten  
Datensignalfad 102 ebenfalls ein erster Logikfunktionsblock  
140 und ein zweiter Logikfunktionsblock 150 bereitgestellt  
sind. Anstelle eines ersten n-MOS-Logikauswahl-Transistors  
108 ist in dem zweiten Datensignalfad 102 ein erster p-MOS-  
15 Logikauswahl-Transistor 116 bereitgestellt. Der zweite n-MOS-  
Logikauswahl-Transistor 109 ist durch einen zweiten p-MOS-  
Logikauswahl-Transistor 117 ersetzt. Der dritte n-MOS-  
Logikauswahl-Transistor 110 ist durch einen dritten p-MOS-  
Logikauswahl-Transistor 118 ersetzt. Der vierte n-MOS-  
20 Logikauswahl-Transistor 111 ist durch einen vierten p-MOS-  
Logikauswahl-Transistor 119 ersetzt. Der erste n-MOS-  
Datensignal-Transistor 112 ist durch einen ersten p-MOS-  
Datensignal-Transistor 120 ersetzt. Der zweite n-MOS-  
Datensignal-Transistor 113 ist durch einen zweiten p-MOS-  
5 Datensignal-Transistor 121 ersetzt. Der dritte n-MOS-  
Datensignal-Transistor 114 ist durch einen dritten p-MOS-  
Datensignal-Transistor 122 ersetzt. Der vierte n-MOS-  
Datensignal-Transistor 114 ist durch einen vierten p-MOS-  
Datensignal-Transistor 123 ersetzt. Das Signal an den Gate-  
0 Anschlüssen der Datensignal-Transistoren 120 bis 123 ist das  
jeweils invertierte Signal verglichen mit den Signalen an den  
Gate-Anschlüssen der Datensignal-Transistoren 112 bis 115 des  
n-MOS-Datensignalfades 101. So liegt am Gate des ersten p-

MOS-Datensignal-Transistors 120  $a_0$  an, wohingegen am Gate des ersten n-MOS-Datensignal-Transistors 112  $\bar{a}_0$  anliegt. Am Gate des zweiten p-MOS-Datensignal-Transistors 121 liegt  $a_1$  an, wohingegen am Gate des zweiten n-MOS-Datensignal-Transistors 113  $\bar{a}_1$  anliegt. Am Gate des dritten p-MOS-Datensignal-Transistors 122 liegt  $\bar{a}_0$  an, wohingegen am Gate des dritten p-MOS-Datensignal-Transistors 114  $a_0$  anliegt, und am Gate des vierten p-MOS-Datensignal-Transistors 123 liegt  $\bar{a}_1$  an, wohingegen am Gate des vierten n-MOS-Datensignal-Transistors 115  $a_1$  anliegt.

Unter Asymmetrie der beiden Datensignalfade 101, 102 ist zu verstehen, dass deren Anordnung zueinander zwar im Wesentlichen spiegelsymmetrisch ist, wobei die Leitungstypen der einander entsprechenden Transistoren jedoch zueinander komplementär sind, und wobei die Datensignale an den Eingängen von einander entsprechenden Datensignal-Transistoren ebenfalls zueinander komplementär sind. Die Logikauswahlsignale an den Eingängen von einander entsprechenden Logikauswahl-Transistoren sind in den beiden Datensignalfaden 101, 102 allerdings identisch.

Die miteinander gekoppelten Source-/Drain-Anschlüsse des ersten p-MOS-Datensignal-Transistors 120 und des dritten p-MOS-Datensignal-Transistors 122 sind auf das Versorgungspotential 127 gebracht. Ferner sind die miteinander gekoppelten Source-/Drain-Anschlüsse des zweiten p-MOS-Datensignal-Transistors 121 und des vierten p-MOS-Datensignal-Transistors 123 mit einem Datensignalausgang 107a gekoppelt. An dem Datensignalausgang 107a des ersten Logikfunktionsblocks 140 ist ein Ausgangssignal bereitgestellt, welches einer Verarbeitung der Eingangssignale  $a_0$ ,  $a_1$  innerhalb des Logikfunktionsblocks 140

gemäß der darin vorgegebenen Logikteilfunktion entspricht. Ein erster p-MOS-Logik-Transistor 131 weist einen ersten Source-/Drain-Anschluss auf, der mit dem Datensignalausgang 107a des ersten Logikfunktionsblocks 140 gekoppelt ist, einen  
5 Gate-Anschluss, an den das dritte Eingangssignal  $a_2$  angelegt ist, und einen zweiten Source-/Drain-Anschluss, an dem das Ausgangssignal der Logik-Grundzelle 100 bereitstellbar ist. Ferner ist ein zweiter p-MOS-Logik-Transistor 132 vorgesehen, mit einem ersten Source-/Drain-Anschluss, der mit dem  
10 Datensignalausgang 107a des zweiten Logikfunktionsblocks 150 des zweiten Datensignalfads 102 gekoppelt ist, mit einem Gate-Anschluss, an den das zu dem dritten Eingangssignal  $a_2$  komplementäre Signal  $\overline{a_2}$  bereitstellbar ist, und mit einem  
15 zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des ersten p-MOS-Logik-Transistors 131 gekoppelt ist.

An den zweiten Source-/Drain-Anschlüssen der Logikauswahl-Transistoren 128 bis 132 ist somit ein Ausgangssignal  $y$   
20 entsprechend der Verknüpfung der drei Eingangssignale  $a_0$ ,  $a_1$ ,  $a_2$  sowie deren logisch komplementären Signale  $\overline{a_0}$ ,  $\overline{a_1}$ ,  $\overline{a_2}$  gemäß einer vorgebbaren Logikfunktion bereitgestellt.

Die Logik-Grundzelle 100 stellt eine Realisierung einer  
25 optimierten Logik-Grundzelle von drei Eingängen  $a_0$ ,  $a_1$ ,  $a_2$  in statischer Standard-CMOS-Schaltungstechnik dar. Mittels Vorgebens der ersten bis vierten Logikauswahlssignale  $s_0$  bis  $s_3$  wird in den ersten Logikfunktionsblöcken 140, 160 der ersten bzw. zweiten Datensignalfade 101, 102 anschaulich  
30 vorgegeben, welche Logikteilfunktion von den Logikfunktionsblöcken 140, 160 realisiert werden soll. Mittels Vorgebens der ersten bis vierten Logikauswahlssignale  $s_0$  bis  $s_3$  wird somit festgelegt, ob die Kanal-Bereiche der

Logikauswahl-Transistoren 108 bis 111 bzw. 116 bis 119 leitend sind oder nicht leitend sind. Dadurch werden bestimmte Signalpfade innerhalb der Logikfunktionsblöcke 140, 160 erlaubt, andere ausgeschlossen. Dies führt zu einer

5 definierten Verknüpfung der Eingangssignale  $a_0$ ,  $a_1$ ,  $\overline{a_0}$ ,  $\overline{a_1}$  gemäß einer Logikteilmfunktion, die mittels Vorgebens der Logikauswahlsignale  $s_0$  bis  $s_3$  definiert wird.

In ähnlicher Weise werden mittels Vorgebens der fünften bis

10 achten Logikauswahlsignale  $s_4$  bis  $s_7$  in den zweiten Logikfunktionsblöcken 150, 170 entsprechende leitende Transistor-Pfade vorgegeben, so dass auch in diesen eine vorgebbare Logikteilmfunktion der zwei Eingangsvariablen  $a_0$ ,  $a_1$  realisiert werden kann.

15 Die Verknüpfung der Ausgangssignale der Logikfunktionsblöcke 140, 150, 160, 170 mit dem dritten Datensignal  $a_2$  bzw. dessen logisch komplementären Wert  $\overline{a_2}$  erfolgt unter Verwendung der Logik-Transistoren 129 bis 132, so dass anschaulich mittels

20 der Schaltung aus Fig.1 Gleichung (1) schaltungstechnisch realisiert ist. Dies führt zu einem Ausgangssignal  $y$ , das an einem globalen Datensignalausgang bereitstellbar ist.

Mit der erfindungsgemäßen Logik-Grundzelle 100 ist somit eine

25 Realisierung von Funktionen mit drei Eingängen mit einer sehr geringen Anzahl erforderlicher Transistoren ermöglicht, wobei ein expliziter Multiplexer entbehrlich ist. Das Prinzip, dass diese geringe Anzahl von Transistoren ermöglicht, besteht darin, die dritte (bzw. im verallgemeinerten Fall jede

30 weitere Schaltvariable) im Transistor-Serienpfad derart anzuordnen, dass der Eingang mit der höchsten Wertigkeit direkt den Ausgang schaltet.

Anschaulich gliedert sich die Schaltung der Logik-Grundzelle 100 in ein erstes und zweites p-Kanal-Transistornetzwerk 140, 150 und in ein erstes und ein zweites n-Kanal-Transistornetzwerk 160, 170. Das erste p-Kanal-Transistornetzwerk 140 und das erste n-Kanal-Transistornetzwerk 160 bilden zusammen eine Schaltung, die jede beliebige Funktion zweier Eingänge entsprechend den Schalterbelegungen von  $s_0$  bis  $s_3$  realisiert. Nimmt  $a_2$  einen logischen Wert "0" ein, bildet diese Funktion einen Ausgang der Funktion von drei Eingängen. Das zweite p-Kanal-Transistornetzwerk 150 und das zweite n-Kanal-Transistornetzwerk 170 bilden zusammen eine Schaltung, die jede beliebige Funktion zweier Eingänge entsprechend der Schalterbelegungen  $s_4$  bis  $s_7$  realisiert. Nimmt  $a_2$  einen logischen Wert "1" ein, bildet diese Funktion den Ausgang der Funktion von drei Eingängen. Damit ist wiederum die Shannon-Zerlegung der Funktion von drei Eingängen gemäß Gleichung (1) realisiert. Es wurde eine Multiplexer-Funktionalität erfüllende funktionelle Einheit in Form einer  $c_{(n-1)}\text{-MOS}$  Struktur realisiert, wobei  $n$  die Anzahl der Eingänge ist.

Die in **Fig.2** gezeigte Tabelle 200 gibt für das Beispiel des ersten Logikfunktionsblocks 140 des zweiten Datensignalfads 102 bzw. für den ersten Logikfunktionsblock 160 des ersten Datensignalfads 101 an, welche Logikteilfunktion  $y_T$  für die unterschiedlichen Permutationen der Logikauswahlsignale  $s_0$  bis  $s_3$  vorgegeben wird. Zum Beispiel werden die Datensignale  $a_0$  und  $a_1$  gemäß einer ODER-Logikteilfunktion verknüpft, wenn das erste Logikauswahlsignal  $s_0$  einen logischen Wert "1" aufweist, und die zweiten bis vierten Logikauswahlsignale  $s_1$  bis  $s_3$  jeweils einen logischen Wert "0" aufweisen.

Tabelle 200 zeigt die Belegung der Schaltvariablen  $s_0$  bis  $s_3$  an, mit Hilfe derer alle möglichen 16 Logikfunktionen zum Verknüpfen von zwei Datensignalen  $a_0$  und  $a_1$  eingestellt werden können. Höherwertige komplexere Funktionen werden  
5 unter Verwendung von Gleichung (2) aufgebaut, indem mehrere Logikfunktionsblöcke 140, 150, 160, 170 miteinander in der in Fig.1 gezeigten Weise verschaltet werden, wobei die Einflüsse des dritten Datensignals  $a_2$  mittels der in Fig.1 gezeigten verschalteten Logik-Transistoren 129 bis 132 realisiert wird.

10

Im Weiteren wird bezugnehmend auf **Fig.3** ein Logikfunktionsblock 300 gemäß einem Ausführungsbeispiel beschrieben, der anstelle der Logikfunktionsblöcke 140, 150, 160, 170 in eine erfindungsgemäße Logik-Grundzelle (z.B. die  
15 Logik-Grundzelle 100 aus Fig.1) implementiert werden kann und ebenfalls eine beliebig wählbare Logikteilstfunktion erfüllen kann.

Zunächst wird die der Funktionalität des Logikfunktionsblocks  
20 300 der erfindungsgemäßen Logik-Grundzelle zugrundliegende theoretische Basis basierend auf der booleschen Logik beschrieben.

Eine boolesche Funktion lässt sich in der kanonisch-  
25 konjunktiven Normalform als ODER-Verknüpfung der Produktterme ihrer  $n$  Eingänge ausdrücken (in Fig.3 ist beispielsweise  $n=2$ , da zwei Eingangssignale  $a_1$ ,  $a_0$  bereitgestellt sind). Diesen  $n$  Eingängen sind  $2^n$  Produktterme zugeordnet.

30 Auf Standard-CMOS-Logik angewendet werden die Produktterme für den logischen Wert "1" einer Funktion als Serienpfad von p-Kanal-Transistoren realisiert. Der Logik-Wert "0" wird entsprechend als Serienpfad aus n-Kanal-Transistoren

realisiert. Entsprechend kann jede Logik-Funktion, gemäß welcher an n Eingängen bereitgestellte Signale miteinander Logik-verknüpft werden, aus  $2^n$  Produkttermen zusammengesetzt werden, indem anschaulich Produktterme zu- oder abgeschaltet werden.

Für zwei Eingänge  $a_0$  und  $a_1$  gilt:

$$y = k_0 \cdot \overline{a_1} \cdot \overline{a_0} \vee k_1 \cdot \overline{a_1} \cdot a_0 \vee k_2 \cdot a_1 \cdot \overline{a_0} \vee k_3 \cdot a_0 \cdot a_1 \quad (3)$$

$$\overline{y} = k_4 \cdot \overline{a_1} \cdot a_0 \vee k_5 \cdot a_1 \cdot \overline{a_0} \vee k_6 \cdot \overline{\overline{a_1}} \cdot \overline{\overline{a_0}} \vee k_7 \cdot \overline{\overline{a_1}} \cdot \overline{\overline{a_0}} \quad (4)$$

mit

$$k_i = \{0, 1\} \text{ mit } i=0, 1, \dots, 7 \quad (5)$$

Jede Funktion  $y=f(a_0, a_1)$  wird gebildet, indem vier Werte der Schaltkoeffizienten oder Logikfunktionsvariablen  $k_0$  bis  $k_7$  auf einen Wert logisch "1" und die restlichen auf einen Wert logisch "0" gesetzt werden. Da in CMOS-Logik die p-Kanal-Transistoren mit einem elektrischen Potential "0" am Steuer- oder Gate-Anschluss öffnen, die n-Kanal-Transistoren hingegen bei einem elektrischen Potential mit einem Wert "1", lassen sich die Produktterme in Gleichungen (3), (4) zu einander sich ausschließenden Paaren ordnen. In Gleichungen (3), (4) schließen sich die jeweils ersten Produktterme gegenseitig logisch aus, ebenso die jeweils zweiten, die jeweils dritten und die jeweils vierten.

Für die Schaltkoeffizienten  $k_i$  gilt die Beziehung:

$$k_0 = \overline{k_4}, k_1 = \overline{k_5}, k_2 = \overline{k_6}, k_3 = \overline{k_7} \quad (6)$$



Aus Gleichungen (4), (5), (6) ergibt sich nach Zusammenfassen zu vier unabhängigen Schaltvariablen  $c_0, c_1, c_2, c_3$ :

$$Y = \overline{c_0} \cdot \overline{a_1} \cdot \overline{a_0} \vee \overline{c_1} \cdot \overline{a_1} \cdot a_0 \vee \overline{c_2} \cdot a_1 \cdot \overline{a_0} \vee \overline{c_3} \cdot a_1 \cdot a_0 \quad (7)$$

$$\overline{Y} = c_0 \cdot \overline{a_1} \cdot a_0 \vee c_1 \cdot a_1 \cdot \overline{a_0} \vee c_2 \cdot \overline{a_1} \cdot a_0 \vee c_3 \cdot a_1 \cdot \overline{a_0} \quad (8)$$

mit

$$c_i = \{0, 1\} \text{ mit } i=0, 1, \dots, 3 \quad (9)$$

Fig.3 zeigt eine halbleitertechnologische Realisierung der Funktion gemäß Gleichungen (7), (8) auf Basis von

Transistoren als möglichen Logikfunktionsblock 140, 150, 160, 170 für eine Logik-Grundzelle 100.

Bei dem Logikfunktionsblock 300 aus Fig.3 ist an einem ersten Datensignal-Eingang 350 ein erstes Datensignal  $a_0$

bereitgestellt. Ferner wird an einem zweiten Datensignal-Eingang 351 ein zweites Datensignal  $a_1$  bereitgestellt.

Mittels eines ersten Inverter-Schaltkreises 301 wird aus dem ersten Datensignal  $a_0$  das dazu komplementäre Signal  $\overline{a_0}$

gebildet. Der erste Datensignal-Eingang 350 ist mit dem Gate-Bereich eines ersten n-MOS-Inverter-Transistors 302

gekoppelt. Ferner ist der erste Datensignal-Eingang 350 mit dem Gate-Anschluss eines ersten p-MOS-Inverter-Transistors 303 gekoppelt. Ein erster Source-/Drain-Bereich des ersten p-MOS-Inverter-Transistors 303 ist auf das elektrische

Versorgungspotential 307 gebracht. Der zweite Source-/Drain-Bereich des ersten p-MOS-Inverter-Transistors 303 ist mit einem ersten Source-/Drain-Bereich des ersten n-MOS-Inverter-

Transistors 302 gekoppelt, dessen zweiter Source-/Drain-Bereich auf das elektrische Massepotential 308 gebracht ist.

Ferner ist ein zweiter Inverter-Schaltkreis 304 vorgesehen,  
5 mittels welchen aus dem zweiten Datensignal  $a_1$  dessen

logisch komplementäres Signal  $\overline{a_1}$  gebildet wird. Der zweite  
Datensignal-Eingang 351 ist mit den Gate-Anschlüssen eines  
zweiten n-MOS-Inverter-Transistors 305 und eines zweiten p-

10 MOS-Inverter-Transistors 306 gekoppelt, welche Transistoren  
305, 306 den zweiten Inverter-Schaltkreis 304 bilden. Ein  
erster Source-/Drain-Bereich des zweiten p-MOS-Inverter-  
Transistors 306 ist mit dem ersten Source-/Drain-Bereich des  
ersten p-MOS-Inverter-Transistors 303 gekoppelt, wohingegen  
der zweite Source-/Drain-Anschluss des zweiten p-MOS-

15 Inverter-Transistors 306 mit einem ersten Source-/Drain-  
Anschluss des zweiten n-MOS-Inverter-Transistors 305  
gekoppelt ist. Der zweite Source-/Drain-Anschluss des zweiten  
n-MOS-Inverter-Transistors 305 ist auf das elektrische  
Massepotential 308 gebracht.

20 Wie in Fig.3 gezeigt, werden die Datensignale und deren  
logisch komplementäre Werte einer Signalpfad-Einheit 309  
bereitgestellt. An einem ersten Signalpfad-Eingang 310 ist  
das Signal  $\overline{a_0}$  bereitgestellt. An einem zweiten Signalpfad-

25 Eingang 311 ist das Signal  $\overline{a_1}$  bereitgestellt. An einem  
dritten Signalpfad-Eingang 312 ist das Signal  $a_0$   
bereitgestellt. An einem vierten Signalpfad-Eingang 313 ist  
das Signal  $a_1$  bereitgestellt.

30 Die Signalpfad-Einheit 309 ist gebildet aus ersten bis  
zwölften p-MOS-Logik-Transistoren 314 bis 325 und aus ersten  
bis zwölften n-MOS-Logik-Transistoren 326 bis 337. Die ersten

bis zwölften p-MOS-Logik-Transistoren 314 bis 325 bilden eine erste Signalpfad-Teileinheit, wohingegen die ersten bis zwölften n-MOS-Logik-Transistoren 326 bis 337 eine zweite Signalpfad-Teileinheit bilden.

5

An einem ersten Logikfunktions-Eingang 338 ist ein erstes Logikfunktionssignal  $c_0$  angelegt. An einem zweiten Logikfunktions-Eingang 339 ist ein zweites Logikfunktionssignal  $c_1$  bereitgestellt. An einem dritten

10 Logikfunktions-Eingang 340 ist ein drittes Logikfunktionssignal  $c_2$  bereitgestellt. An einem vierten Logikfunktions-Eingang 341 ist ein viertes Logikfunktionssignal  $c_3$  bereitgestellt.

15 Der vierte Logikfunktions-Eingang 341 ist mit dem Gate-Anschluss des neunten p-MOS-Logik-Transistors 322 und mit dem Gate-Anschluss des ersten n-MOS-Logik-Transistors 326 gekoppelt. Der dritte Logikfunktions-Eingang 340 ist mit den Gate-Anschlüssen des zehnten p-MOS-Logik-Transistors 323 und

20 des zweiten n-MOS-Logik-Transistors 327 gekoppelt. Der zweite Logikfunktions-Eingang 339 ist mit den Gate-Anschlüssen des elften p-MOS-Logik-Transistors 324 und des dritten n-MOS-Logik-Transistors 328 gekoppelt. Der erste Logikfunktions-Eingang 338 ist mit den Gate-Anschlüssen des zwölften p-MOS-

25 Logik-Transistors 325 und des vierten n-MOS-Logik-Transistors 329 gekoppelt.

Der erste Datensignal-Eingang 310 ist mit dem Gate-Anschluss des fünften n-MOS-Logik-Transistors 330, des sechsten p-MOS-

30 Logik-Transistors 319, des siebten n-MOS-Logik-Transistors 332 und des vierten p-MOS-Logik-Transistors 317 gekoppelt. Der zweite Datensignal-Eingang 311 ist mit den Gate-Anschlüssen des neunten n-MOS-Logik-Transistors 334, des

zehnten n-MOS-Logik-Transistors 335, des dritten p-MOS-Logik-Transistors 316 und des achten p-MOS-Logik-Transistors 321 gekoppelt. Der dritte Datensignal-Eingang 312 ist mit den Gate-Anschlüssen des fünften p-MOS-Logik-Transistors 318, des  
5 sechsten n-MOS-Logik-Transistors 331, des siebten p-MOS-Logik-Transistors 320 und des achten n-MOS-Logik-Transistors 333 gekoppelt. Der vierte Datensignal-Eingang 313 ist mit den Gate-Anschlüssen des ersten p-MOS-Logik-Transistors 314, des zweiten p-MOS-Logik-Transistors 315, des elften n-MOS-Logik-  
10 Transistors 336 und des zwölften n-MOS-Logik-Transistors 337 gekoppelt.

Erste Source-/Drain-Anschlüsse der ersten bis vierten p-MOS-Logik-Transistoren 314 bis 317 sind auf das elektrische  
15 Potential der Versorgungsspannung 307 gebracht. Der zweite Source-/Drain-Anschluss des ersten p-MOS-Logik-Transistors 314 ist mit einem ersten Source-/Drain-Anschluss des fünften p-MOS-Logik-Transistors 318 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-  
20 Anschluss des neunten p-MOS-Logik-Transistors 322 gekoppelt ist. Der zweite Source-/Drain-Anschluss des zweiten p-MOS-Logik-Transistors 315 ist mit einem ersten Source-/Drain-Anschluss des sechsten p-MOS-Logik-Transistors 319 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten  
25 Source-/Drain-Anschluss des zehnten p-MOS-Logik-Transistors 323 gekoppelt ist. Der zweite Source-/Drain-Anschluss des dritten p-MOS-Logik-Transistors 316 ist mit einem ersten Source-/Drain-Anschluss des siebten p-MOS-Logik-Transistors 320 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit  
30 einem ersten Source-/Drain-Anschluss des elften p-MOS-Logik-Transistors 324 gekoppelt ist. Der zweite Source-/Drain-Anschluss des vierten p-MOS-Logik-Transistors 317 ist mit einem ersten Source-/Drain-Anschluss des achten p-MOS-Logik-

Transistors 321 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des zwölften p-MOS-Logik-Transistors 325 gekoppelt ist.

- 5 Die zweiten Source-/Drain-Anschlüsse der neunten bis zwölften p-MOS-Logik-Transistoren 322 bis 325 sind mit dem Ausgang 352 und mit ersten Source-/Drain-Anschlüssen der ersten bis vierten n-MOS-Logik-Transistoren 326 bis 329 gekoppelt. Der zweite Source-/Drain-Anschluss des ersten n-MOS-Logik-
- 10 Transistors 326 ist mit einem ersten Source-/Drain-Anschluss des fünften n-MOS-Logik-Transistors 330 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des neunten n-MOS-Logik-Transistors 334 gekoppelt ist. Der zweite Source-/Drain-Anschluss des zweiten
- 15 n-MOS-Logik-Transistors 327 ist mit einem ersten Source-/Drain-Anschluss des sechsten n-MOS-Logik-Transistors 331 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des zehnten n-MOS-Logik-Transistors 335 gekoppelt ist. Der zweite Source-/Drain-
- 20 Anschluss des dritten n-MOS-Logik-Transistors 328 ist mit einem ersten Source-/Drain-Anschluss des siebten n-MOS-Logik-Transistors 332 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des elften n-MOS-Logik-Transistors 336 gekoppelt ist. Ferner ist der
- 25 zweite Source-/Drain-Anschluss des vierten n-MOS-Logik-Transistors 329 mit einem ersten Source-/Drain-Anschluss des achten n-MOS-Logik-Transistors 333 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des zwölften n-MOS-Logik-Transistors 337 gekoppelt
- 30 ist. Die zweiten Source-/Drain-Anschlüsse der neunten bis zwölften n-MOS-Logik-Transistoren 334 bis 337 sind miteinander gekoppelt und auf das elektrische Massepotential 308 gebracht.

An einem Knoten 352 ist das Ausgangssignal  $y_{\text{int}}$  bereitgestellt.

5 Aus dem Ausgangssignal  $y_{\text{int}}$  an dem Knoten 352 wird unter Verwendung eines dritten Inverter-Schaltkreises 342 das Logik-Inverse  $y_0$  gebildet, das an einem Ausgang des Logikfunktionsblocks 300 bereitgestellt ist. Das Ausgangssignal  $y_{\text{int}}$  wird durch den dritten Inverter-Schaltkreis 342 geführt, gebildet aus einem dritten n-MOS-Inverter-Transistor 343 und einem dritten p-MOS-Inverter-Transistor 344. Der Ausgang des Logikfunktionsblocks ist mit den Drain-Anschlüssen der Transistoren 344, 343 gekoppelt. Ein erster Source-/Drain-Anschluss des dritten p-MOS-Inverter-Transistors 344 ist auf das elektrische Versorgungspotential 307 gebracht. Der zweite Source-/Drain-Anschluss des dritten p-MOS-Inverter-Transistors 344 ist mit einem ersten Source-/Drain-Anschluss des dritten n-MOS-Inverter-Transistors 343 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 308 gebracht ist. Der zweite Source-/Drain-Anschluss des dritten p-MOS-Inverter-Transistors 344 und der erste Source-/Drain-Anschluss des dritten n-MOS-Inverter-Transistors 343 sind mit dem Ausgang gekoppelt, an dem Signal  $y_0$  anliegt. Das Signal  $y_0$  kann in einen Logik-Transistor der erfindungsgemäßen Logik-Grundzelle eingekoppelt werden.

Im Weiteren wird die Funktionalität des Logikfunktionsblocks 300 beschrieben.

Die Signalpfad-Einheit 309 führt anschaulich die Logikoperationen mit den Eingabesignalen  $\overline{a_0}$ ,  $\overline{a_1}$ ,  $a_0$  und  $a_1$

durch. Die Funktionalität von Gleichung (7) wird anschaulich von den in der Fig.3 gezeigten Weise verschalteten p-MOS-Transistoren 314 bis 325 durchgeführt, wohingegen die Logikoperation gemäß Gleichung (8) anschaulich durch die n-MOS-Transistoren 326 bis 337 durchgeführt wird. Zwischen den Datensignal-Eingängen 350, 351 und den Signalpfad-Eingängen 310 bis 313 sind die beiden Inverter-Schaltkreise 301, 304 vorgesehen, um die komplementären Signale  $\overline{a_0}$ ,  $\overline{a_1}$  zu generieren. Zwischen Ausgang 352 und dem globalen Ausgang 107a ist der treibende Inverter-Schaltkreis 342 geschaltet. Für den Logikfunktionsblock 300 mit zwei Eingängen 350, 351 werden gemäß dem beschriebenen Ausführungsbeispiel dreißig Transistoren benötigt, nämlich die zwölf p-MOS-Logik-Transistoren 314 bis 325, die zwölf n-MOS-Logik-Transistoren 326 bis 337 und die sechs Transistoren 302, 303, 305, 306, 343, 344. Die Anzahl der Konfigurationsbits bzw. der Logikfunktionssignale ist vier ( $c_0$ ,  $c_1$ ,  $c_2$ ,  $c_3$ ).

Es ist anzumerken, dass anstelle von vier gemeinsamen Logikfunktionssignalen  $c_0$  bis  $c_3$  alternativ auch die zwölf p-MOS-Logik-Transistoren 314 bis 325 mit vier separaten Logikfunktionssignalen betrieben werden können und die zwölf n-MOS-Logik-Transistoren 326 bis 337 mit vier separaten, von  $c_0$  bis  $c_3$  unterschiedlichen Logikfunktionssignalen betrieben werden können.

Im Weiteren wird bezugnehmend auf **Fig.4** eine Logik-Grundzellen-Anordnung 400 gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

Die Logik-Grundzellen-Anordnung 400 ist aus zwei im Wesentlichen baugleichen Teilschaltungen, nämlich einer p-MOS-Teilschaltung 410 und einer n-MOS-Teilschaltung 411

gebildet. Die p-MOS-Teilschaltung 410 ist aus p-MOS-Transistoren aufgebaut, wohingegen die n-MOS-Teilschaltung 411 aus n-MOS-Transistoren aufgebaut ist.

5 Die p-MOS-Teilschaltung 410 ist gebildet aus einer ersten p-MOS-Logik-Grundzelle 412 und aus einer zweiten p-MOS-Logik-Grundzelle 413. Jede der p-MOS-Logik-Grundzellen 412, 413 weist einen ersten p-MOS-Logik-Funktionsblock 140 und einen zweiten p-MOS-Logikfunktionsblock 150 auf, welche mittels des  
10 ersten p-MOS-Logik-Transistors 131 und des zweiten p-MOS-Logik-Transistors 132 derart gekoppelt sind, dass an einem Knoten 403 an einem Ausgang der ersten p-MOS-Logik-Grundzelle 412 eine Logik-Verknüpfung von drei Eingangssignalen  $a_0$ ,  $a_1$ ,  $a_2$  gebildet ist. In ähnlicher Weise ist an dem Knoten 403 am  
15 Ausgang der zweiten p-MOS-Logik-Grundzelle 413, deren innerer Aufbau jener der ersten p-MOS-Logik-Grundzelle 412 entspricht, eine Logikverknüpfung der drei Datensignale  $a_0$ ,  $a_1$ ,  $a_2$  bereitgestellt. An dem Ausgang der ersten p-MOS-Logik-Grundzelle 412 ist ein dritter p-MOS-Logik-Transistor 401a  
20 angeordnet, mit einem ersten Source-/Drain-Anschluss, an dem das Ausgangssignal der ersten p-MOS-Logik-Grundzelle 412 angelegt ist, mit einem Gate-Anschluss, an dem ein viertes Eingangssignal  $a_3$  bereitgestellt ist, und mit einem zweiten Source-/Drain-Anschluss, an dem das Ausgangssignal  $y$  der  
25 Logik-Grundzellen-Anordnung 400 bereitgestellt ist.

An dem Ausgang, das heißt an dem Knoten 403, der zweiten p-MOS-Logik-Grundzelle 413 ist ein vierter p-MOS-Logik-Transistor 401b angeordnet, mit einem ersten Source-/Drain-  
30 Anschluss, an dem das Ausgangssignal der zweiten p-MOS-Logik-Grundzelle 413 angelegt ist, mit einem Gate-Anschluss, an dem ein zu dem vierten Eingangssignal  $a_3$  komplementäres Signal  $\overline{a_3}$  bereitgestellt ist, und mit einem zweiten Source-/Drain-



Anschluss, der mit dem zweiten Source-/Drain-Anschluss des dritten p-MOS-Logik-Transistors 401a der ersten p-MOS-Logik-Grundzelle 412 gekoppelt ist.

- 5 Der Aufbau der n-MOS-Teilschaltung 411 entspricht im Wesentlichen jener der p-MOS-Teilschaltung 410 mit dem Unterschied, dass die darin enthaltenen Komponenten n-Kanal-Transistoren sind, und nicht p-Kanal Transistoren wie in der ersten p-MOS-Logik-Grundzelle 412. Ein erster
- 10 Logikfunktionsblock 160 aus n-MOS-Transistoren und ein zweiter p-MOS-Logikfunktionsblock 170 aus p-MOS-Transistoren sind gemeinsam mit einem ersten n-MOS-Logik-Transistor 129 und einem zweiten n-MOS-Logik-Transistor 130 derart
- 15 verschaltet, dass an einem Knoten 403 am Ausgang der ersten n-MOS-Logik-Grundzelle 414 ein Ausgangssignal von drei Datensignalen  $a_0$ ,  $a_1$ ,  $a_2$  bereitgestellt ist. In ähnlicher Weise ist an einen Knoten 403 am Ausgang der zweiten n-MOS-Logik-Grundzelle 415 ein Ausgangssignal von drei
- 20 Datensignalen  $a_0$ ,  $a_1$ ,  $a_2$  bereitgestellt. Mittels eines dritten n-MOS-Logik-Transistors 402a am Ausgang 403 der ersten n-MOS-Logik-Grundzelle 414 und mittels eines vierten n-MOS-Logik-Transistors 402b am Ausgang 403 der zweiten n-MOS-Logik-Grundzelle 415 wird am Ausgang 404 der Logik-Grundzellen-Anordnung 400 ein globales Ausgangssignal  $y$  generiert.
- 25 Der dritte n-MOS-Logik-Transistor 402a hat einen ersten Source-/Drain-Anschluss, an den das Ausgangssignal der ersten n-MOS-Logik-Grundzelle 414 angelegt ist, ferner weist der dritte n-MOS-Logik-Transistor 402a einen Gate-Anschluss auf,
- 30 an den das zu dem vierten Eingangssignal  $a_3$  komplementäre Signal angelegt ist, und weist einen zweiten Source-/Drain-Anschluss auf, an dem das Ausgangssignal  $y$  der Logik-Grundzellen-Anordnung 400 bereitgestellt ist. Ferner hat der

zweite n-MOS-Logik-Transistor 402b einen ersten Source-/Drain-Anschluss, an dem das Ausgangssignal 403 der zweiten n-MOS-Logik-Grundzelle 415 bereitgestellt ist, einen Gate-Anschluss, an dem das vierte Eingangssignal  $a_3$  bereitgestellt ist, und einen zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des dritten n-MOS-Logik-Transistors 402a der ersten n-MOS-Logik-Grundzelle 414 gekoppelt ist.

10 Im Weiteren wird die Funktionalität der Logik-Grundzellen-Anordnung 400 beschrieben.

An den Ausgängen der Logik-Grundzellen 412 bis 415 ist jeweils ein Signal gemäß einer von der jeweiligen Logik-Grundzelle 412 bis 415 realisierten Logikteilfunktion bereitgestellt, welches eine Verknüpfung von zwei Eingangssignalen  $a_0$ ,  $a_1$  darstellt. An den Knoten 403, die mit den ersten Source-/Drain-Anschlüssen der Logik-Transistoren 401a, 401b, 402a, 402b gekoppelt sind, ist jeweils ein gemäß Gleichung (1) gebildetes Logik-Teilausgangssignal von drei Datensignalen  $a_0$ ,  $a_1$ ,  $a_2$  bereitgestellt. An dem globalen Ausgang 404 der Logik-Grundzellen-Anordnung 400 ist ein Logik-Ausgangssignal  $y$  von vier Dateneingangssignalen  $a_0$ ,  $a_1$ ,  $a_2$ ,  $a_3$  bereitgestellt, was Gleichung (2) für den Fall  $n=3$  entspricht.

Somit kann erfindungsgemäß eine Funktion von mehr als drei Eingängen (Fig.4 zeigt eine Funktion von vier Eingängen) mit einer Struktur als binärem Baum realisiert werden. Die kapazitive Last an dem globalen Ausgang 404 hängt bei dem binären Baum aus Fig.4 nicht von der Anzahl der Eingänge ab. Sie entspricht stets der Drain-Kapazität der vier

Transistoren 401a, 401b, 402a, 402b, die am Ausgang 404 anliegen.

Im Weiteren wird bezugnehmend auf **Fig.5** eine Logik-  
5 Grundzellen-Anordnung 500 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

Im Unterschied zu der Logik-Grundzellen-Anordnung 400 aus Fig.4 ist die Logik-Grundzellen-Anordnung 500 aus Fig.5 nicht  
10 in statischer CMOS-Logik aufgebaut, d.h. Fig.5 zeigt nicht einen p-MOS-Pfad, der im Wesentlichen spiegelgleich zu einem n-MOS-Pfad aufgebaut ist. Die Logik-Grundzellen-Anordnung 500 ist nur aus einem Datensignalfad gebildet, welcher der n-MOS-Teilschaltung 411 aus Fig.4 entspricht. Somit ist der  
.15 interne Aufbau der n-MOS-Teilschaltung 411 aus Fig.5 im Wesentlichen identisch zu jener aus Fig.4. Im Unterschied zu der Logik-Grundzellen-Anordnung 400 ist somit bei der Logik-Grundzellen-Anordnung 500 genau ein Datensignalfad 411 aus n-MOS-Feldeffekttransistoren vorgesehen, wohingegen der in  
20 Fig.3 gezeigte Datensignalfad 410 aus p-MOS-Feldeffekttransistoren eingespart ist. Dies führt zu einer besonders platzsparenden Anordnung.

Ein Ausgabesignal, welches das Ergebnis der Verarbeitung der  
25 Datensignale  $a_0$ ,  $a_1$ ,  $a_2$ ,  $a_3$  der ausgewählten Logikfunktion darstellt, ist an einem Knoten 404 des Datensignalfads 411 bereitgestellt, welcher Ausgang mit einem ersten Source-/Drain-Anschluss eines n-MOS-Evaluierungs-Transistors 501 gekoppelt ist. Bei einem entsprechenden Signal an einem mit  
30 dem Gate-Bereich des Evaluierungs-Transistors 501 gekoppelten Evaluier-Eingang 503 liegt an einem mit dem zweiten Source-/Drain-Bereich des Evaluierungs-Transistors 501 gekoppelten globalen Ausgang 505 der Logik-Grundzellen-Anordnung 500 das

verarbeitete Ausgabesignal an. Der zweite Source-/Drain-Bereich des Evaluierungs-Transistors 501 ist mit einem ersten Source-/Drain-Bereich eines p-MOS-Vorlade-Transistors 502 gekoppelt, dessen zweiter Source-/Drain-Bereich auf das elektrische Versorgungspotential 127 gebracht ist. Bei einem entsprechenden Signal an einem mit dem Gate-Bereich des Vorlade-Transistors 502 gekoppelten Vorlade-Eingang 504 liegt an dem mit dem ersten Source-/Drain-Bereich des Vorlade-Transistors 502 gekoppelten Ausgang 505 der Logik-Grundzellen-Anordnung 500 das elektrische Versorgungspotential 127 als Referenzpotential an.

Verglichen mit Fig.4 ist in Fig.5 somit der Pfad aus p-MOS-Transistoren eingespart. Das Pull-Down-Netzwerk 411 ist in Fig.5 wie in Fig.4 aus n-MOS-Transistoren gebildet, wohingegen in Fig.5 das Pull-Up-Netzwerk 410 aus p-MOS-Transistoren eingespart ist und durch einen statisch oder dynamisch geschalteten Precharge-Transistor 502 ersetzt ist. Alternativ zu Fig.5 kann auch der Signalpfad aus n-MOS-Transistoren gemäß Fig.4 eingespart und durch ein Vorlade-Transistor ersetzt werden, wobei in diesem Fall ein Signalpfad aus p-MOS-Transistoren vorgesehen ist.

Bei der nicht-statischen CMOS-Realisierung der erfindungsgemäßen Logik-Grundzellen-Anordnung 500 gemäß Fig.5 ist somit ein Pull-Up-Transistor 502 vorgesehen, der in einem Teilintervall der Schaltzeit der Logik-Grundzellen-Anordnung 500 den Ausgang 505 auf einen logischen Wert "1" vorlädt (Precharge-Phase), wohingegen in der restlichen Schaltzeit die ausgewählte Logikfunktion im erfindungsgemäß realisierten Pull-down-Pfad 411 errechnet wird (Evaluierungs-Phase).

Alle Schaltungen, die wenigstens einen der beiden Pfade (Pull-Up- oder Pull-down-Pfad) der Struktur von Fig.4 enthalten, stellen ebenfalls eine Logik-Grundzelle bzw. eine Logik-Grundzellen-Anordnung im Sinne der Erfindung dar, unabhängig davon, wie das jeweils entgegengesetzte Logikpotential realisiert wird.

Im Weiteren wird bezugnehmend auf **Fig.6A**, **Fig.6B** eine Alternative zu den ersten und zweiten n-MOS-Teilpfaden 101a, 101b bzw. zu den ersten und zweiten p-MOS-Teilpfaden 102a, 102b der Logik-Grundzelle 100 aus Fig.1 beschrieben.

In Fig.1 wird die Logikteilfunktion, die von den Teilpfaden 101a, 101b, 102a, 102b realisiert wird, mittels Vorgebens von Logikfunktionssignalen  $s_0$  bis  $s_7$  definiert. Dadurch werden bestimmte Pfade innerhalb des Transistornetzwerkes leitend gemacht, andere Pfade für den Signaltransport ausgeschlossen, so dass die an den Eingängen der Teilpfade 101a, 101b, 102a, 102b bereitgestellten Eingangssignale  $a_0$ ,  $a_1$ ,  $\overline{a_0}$ ,  $\overline{a_1}$  gemäß der dadurch ausgewählten Logikteilfunktion verknüpft werden.

Der in Fig.6A, Fig.6B gezeigte p-MOS-Teilpfad 600 bzw. n-MOS-Teilpfad 610 stellt jeweils eine Realisierung dar, bei der die von den Teilpfaden 600, 610 realisierten Logik-Teilfunktionen mittels Festverdrahtens vorgegeben sind. Dass heißt, dass die Logikauswahl-Transistoren aus Fig.1 in Fig.6A, Fig.6B durch Vias bzw. Metallbrücken ersetzt sind.

Der p-MOS-Teilpfad 600 aus Fig.6A unterscheidet sich von dem ersten und zweiten p-MOS-Teilpfaden 102a, 102b aus Fig.1 dadurch, dass die Logikauswahl-Transistoren 116 bis 119 durch fest verdrahtete Kontaktierungselemente ersetzt sind, gebildet aus Komponenten 601 bis 603. Ähnlich unterscheidet

sich der n-MOS-Teilpfad 610 aus Fig.6B von den ersten und zweiten n-MOS-Teilpfaden 101a, 101b aus Fig.1 dadurch, dass die Logikauswahl-Transistoren 108 bis 111 durch fest verdrahtete Kontaktierungselemente ersetzt sind, gebildet aus

5 Komponenten 601 bis 603. Die Verschaltung der Datensignal-Transistoren 120 bis 123 bzw. 112 bis 115 in dem p-MOS-Teilpfad 600 bzw. in dem n-MOS-Teilpfad 610 ist hardwaremäßig fest vorgegeben, das heißt mittels Kontaktierungselementen einer ersten Metallisierungsebene 601, einer zweiten

10 Metallisierungsebene 602 mittels Vias 603. Die Vias 603 sind senkrecht zu der Papierebene von Fig.6A, Fig.6B verlaufend gebildet. Die Logikauswahl-Elemente in Fig.6A, Fig.6B sind als unveränderliche Hardwareelemente vorgesehen, realisiert mittels der Metallisierungsebenen 601, 602 und der Vias 603.

15 Die Verdrahtung der Datensignal-Transistoren 112 bis 115 bzw. 120 bis 123 legt eine jeweils fest vorgegebene Logikfunktion fest. Anders ausgedrückt sind in Fig.6A, Fig.6B Konfigurationstransistoren 108 bis 111 bzw. 116 bis 119 durch Viabrücken  $s_0p...s_3p$  bzw.  $s_0n...s_3n$  ersetzt. Ferner ermöglichen

20 Power-Vias 604, eventuell entfallende Logikpfade von der Versorgungsspannung 127 VDD bzw. von dem Massepotential VSS 126 zu trennen.

Alternativ können die Schalter zwischen einzelnen

25 Transistoren in Fig.6 auch durch alle anderen Via Ebenen, jede beliebige Metalllage, Polysilizium, Diffusionsgebiete oder über jede andere geeignete Ebene eines gegenwärtigen oder eines zukünftigen CMOS-Prozesses hergestellt werden. Die Realisierung aus Fig.6A, Fig.6B ist innerhalb der Standard-

30 CMOS-Schaltungstechnik eine besonders kleine, schnelle und von der Leistungsaufnahme her besonders günstige Realisierung.

In der Realisierung aus Fig.6A, Fig.6B in Standard-CMOS-Technologie werden zwei Eingangsinverter 124, 125 verwendet, zum Erzeugen der Potentiale  $\overline{a_0}$ ,  $\overline{a_1}$  aus den Datensignalen  $a_0$  bzw.  $a_1$ . Es ist möglich, die Eingangsinverter 124, 125

5 einzusparen, indem in dem Pull-Up-Pfad 600 auch n-Kanal-Transistoren und in dem Pull-Down-Pfad 610 auch p-Kanal-Transistoren verwendet werden. Um an einem Ausgang dennoch vollen Spannungshub zu erreichen, werden die Spannungsabfälle mittels Anhebens des Versorgungspotentials bzw. Absenkens des  
10 Massepotentials um ein Mehrfaches der Threshold-Spannung (Schwellenspannung)  $V_{th}$  kompensiert. Dabei ist bei langen Serienpfaden allerdings die elektrische Belastbarkeit der Transistoren zu beachten. Mit einer solchen Maßnahme lassen sich Anordnungen höchster kombinatorischer Packungsdichte  
15 aufbauen, wobei mehrere Versorgungsspannungen bereitgestellt sind.

Die erfindungsgemäße Realisierung der Logik-Grundzelle mit einem expliziten Multiplexer ist besonders dann eine  
20 interessante Variante, wenn die Unterfunktionen  $f_0$  und  $f_1$  aus Gleichung (1) zur weiteren Verwendung auf dem Chip für andere Anwendungen bereitzustellen sind. Ist dies nicht der Fall, ist die erfindungsgemäße Zerlegung mittels eines  $c_{(n-1)}MOS$ -Struktur eine kompakt zu realisierende Variante, die in der  
25 realisierbaren Komplexität möglicherweise durch leicht erhöhte Verzögerungen aufgrund langer Transistorserienpfade begrenzt sein kann. Für sehr komplexe Funktionen kann eine Kombination aus beiden Ansätzen die beste Lösung darstellen. Für kombinatorische Funktionen mit mehr als sechs Eingängen  
30 ergeben sich Vereinfachungsmöglichkeiten, da mehr als 16 Funktionen von zwei Eingängen nicht existieren. Insbesondere ist es mit einer Via-programmierten Lösung möglich, sich die

Vorteile der Erfindung in effizienter Weise zunutze zu machen.



In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] Wannemacher, M "Das FPGA-Kochbuch", Abb.6.4: SRAM-Zelle  
von XILINX, 1. Auflage, International Thomson  
Publishing Company, Bonn, 1998, S.111;

5

[2] Wannemacher, M "Das FPGA-Kochbuch", Abb.7.36: Logikblock  
(CLB) der XC4000-Familien, 1. Auflage, International  
Thomson Publishing Company, Bonn, 1998, S.197;

10

[3] US 6,529,040 B1;

[4] US 5,592,107.

**Bezugszeichenliste**

- 100 Logik-Grundzelle
- 101 erster Datensignalpfad
- 101a erster n-MOS-Teilpfad
- 101b zweiter n-MOS-Teilpfad
- 102 zweiter Datensignalpfad
- 102a erster p-MOS-Teilpfad
- 102b zweiter p-MOS-Teilpfad
- 103 erster Datensignaleingang
- 104 zweiter Datensignaleingang
- 105 dritter Datensignaleingang
- 106 vierter Datensignaleingang
- 107a Datensignalausgang
- 107b Datensignalausgang
- 108 erster n-MOS-Logikauswahl-Transistor
- 109 zweiter n-MOS-Logikauswahl-Transistor
- 110 dritter n-MOS-Logikauswahl-Transistor
- 111 vierter n-MOS-Logikauswahl-Transistor
- 112 erster n-MOS-Datensignal-Transistor
- 113 zweiter n-MOS-Datensignal-Transistor
- 114 dritter n-MOS-Datensignal-Transistor
- 115 vierter n-MOS-Datensignal-Transistor
- 116 erster p-MOS-Logikauswahl-Transistor
- 117 zweiter p-MOS-Logikauswahl-Transistor
- 118 dritter p-MOS-Logikauswahl-Transistor
- 119 vierter p-MOS-Logikauswahl-Transistor
- 120 erster p-MOS-Datensignal-Transistor
- 121 zweiter p-MOS-Datensignal-Transistor
- 122 dritter p-MOS-Datensignal-Transistor
- 123 vierter p-MOS-Datensignal-Transistor
- 124 erster Inverter
- 125 zweiter Inverter
- 126 Massepotential
- 127 Versorgungspotential

128 dritter Inverter  
129 erster n-MOS-Logik-Transistor  
130 zweiter n-MOS-Logik-Transistor  
131 erster p-MOS-Logik-Transistor  
132 zweiter p-MOS-Logik-Transistor  
140 erster Logikfunktionsblock  
150 zweiter Logikfunktionsblock  
160 erster Logikfunktionsblock  
170 zweiter Logikfunktionsblock  
200 Tabelle  
300 Logikfunktionsblock  
301 erster Inverter-Schaltkreis  
302 erster n-MOS-Inverter-Transistor  
303 erster p-MOS-Inverter-Transistor  
304 zweiter Inverter-Schaltkreis  
305 zweiter n-MOS-Inverter-Transistor  
306 zweiter p-MOS-Inverter-Transistor  
307 Versorgungspotential  
308 Massepotential  
309 Signalpfad-Einheit  
310 erster Signalpfad-Eingang  
311 zweiter Signalpfad-Eingang  
312 dritter Signalpfad-Eingang  
313 vierter Signalpfad-Eingang  
314 erster p-MOS-Logik-Transistor  
315 zweiter p-MOS-Logik-Transistor  
316 dritter p-MOS-Logik-Transistor  
317 vierter p-MOS-Logik-Transistor  
318 fünfter p-MOS-Logik-Transistor  
319 sechster p-MOS-Logik-Transistor  
320 siebter p-MOS-Logik-Transistor  
321 achter p-MOS-Logik-Transistor  
322 neunter p-MOS-Logik-Transistor  
323 zehnter p-MOS-Logik-Transistor  
324 elfter p-MOS-Logik-Transistor

325 zwölfter p-MOS-Logik-Transistor  
326 erster n-MOS-Logik-Transistor  
327 zweiter n-MOS-Logik-Transistor  
328 dritter n-MOS-Logik-Transistor  
329 vierter n-MOS-Logik-Transistor  
330 fünfter n-MOS-Logik-Transistor  
331 sechster n-MOS-Logik-Transistor  
332 siebter n-MOS-Logik-Transistor  
333 achter n-MOS-Logik-Transistor  
334 neunter n-MOS-Logik-Transistor  
335 zehnter n-MOS-Logik-Transistor  
336 elfter n-MOS-Logik-Transistor  
337 zwölfter n-MOS-Logik-Transistor  
338 erster Logikfunktions-Eingang  
339 zweiter Logikfunktions-Eingang  
340 dritter Logikfunktions-Eingang  
341 vierter Logikfunktions-Eingang  
342 dritter Inverter-Schaltkreis  
343 dritter n-MOS-Inverter-Transistor  
344 dritter p-MOS-Inverter-Transistor  
350 erster Datensignaleingang  
351 zweiter Datensignaleingang  
352 Knoten  
400 Logik-Grundzellen-Anordnung  
401a dritter p-MOS-Logik-Transistor  
401b vierter p-MOS-Logik-Transistor  
402a dritter n-MOS-Logik-Transistor  
402b vierter n-MOS-Logik-Transistor  
403 Knoten  
404 globaler Knoten  
410 p-MOS-Teilschaltung  
411 n-MOS-Teilschaltung  
412 erste p-MOS-Logik-Grundzelle  
413 zweite p-MOS-Logik-Grundzelle  
414 erste n-MOS-Logik-Grundzelle

415 zweite n-MOS-Logik-Grundzelle  
500 Logik-Grundzellen-Anordnung  
501 Evaluierungs-Feldeffekttransistor  
502 Vorlade-Feldeffekttransistor  
503 Evaluier-Eingang  
504 Vorlade-Eingang  
505 globaler Ausgang  
600 p-MOS-Teilpfad  
601 erste Metallisierungsebene  
602 zweite Metallisierungsebene  
603 Via  
604 Power-Via  
610 n-MOS-Teilpfad

**Patentansprüche:**

1. Logik-Grundzelle zum Bilden eines Ausgangssignals aus  
mindestens drei Eingangssignalen gemäß einer vorgebbaren  
5 Logikfunktion

- mit einem ersten Logikfunktionsblock mit zwei  
Datensignaleingängen, an denen ein erstes Eingangssignal  
und ein zweites Eingangssignal anlegbar sind, und mit  
einem Datensignalausgang zum Bereitstellen einer Logik-  
10 Verknüpfung des ersten Eingangssignals und des zweiten  
Eingangssignals gemäß einer vorgebbaren ersten  
Logikteilmfunktion;
- mit einem zweiten Logikfunktionsblock mit zwei  
Datensignaleingängen, an denen das erste Eingangssignal  
15 und das zweite Eingangssignal anlegbar sind, und mit  
einem Datensignalausgang zum Bereitstellen einer Logik-  
Verknüpfung des ersten Eingangssignals und des zweiten  
Eingangssignals gemäß einer vorgebbaren zweiten  
Logikteilmfunktion;
- mit einem ersten Logik-Transistor mit einem ersten  
20 Source-/Drain-Anschluss, der mit dem Datensignalausgang  
des ersten Logikfunktionsblocks gekoppelt ist, mit einem  
Gate-Anschluss, an dem ein drittes Eingangssignal  
bereitstellbar ist, und mit einem zweiten Source-/Drain-  
25 Anschluss, an dem das Ausgangssignal bereitstellbar ist;
- mit einem zweiten Logik-Transistor mit einem ersten  
Source-/Drain-Anschluss, der mit dem Datensignalausgang  
des zweiten Logikfunktionsblocks gekoppelt ist, mit  
einem Gate-Anschluss, an dem ein zu dem dritten  
30 Eingangssignal komplementäres Signal bereitstellbar ist,  
und mit einem zweiten Source-/Drain-Anschluss, der mit  
dem zweiten Source-/Drain-Anschluss des ersten Logik-  
Transistors gekoppelt ist.

35 2. Logik-Grundzelle nach Anspruch 1,  
bei welcher der erste Logikfunktionsblock und der zweite  
Logikfunktionsblock jeweils mindestens einen zusätzlichen

Datensignaleingang aufweisen, wobei an jeden der zusätzlichen  
Datensignaleingänge ein zusätzliches Eingangssignal anlegbar  
ist, womit die Logik-Grundzelle zum Bilden eines  
Ausgangssignals aus mindestens vier Eingangssignalen gemäß  
5 einer vorgebbaren Logikfunktion eingerichtet ist.

3. Logik-Grundzelle nach Anspruch 1 oder 2,  
bei welcher der erste Logikfunktionsblock und der zweite  
Logikfunktionsblock jeweils aus einer Mehrzahl von  
10 miteinander gemäß der jeweiligen Logikteilfunktion  
verschalteten Datensignal-Transistoren gebildet sind.

4. Logik-Grundzelle nach Anspruch 3,  
bei der

- 15 • die Logik-Transistoren und die Datensignal-Transistoren  
Transistoren eines ersten Leitungstyps sind, und wobei  
die Transistoren des ersten Leitungstyps einen ersten  
Datensignalfad bilden;
- ein zweiter Datensignalfad aus Transistoren eines  
20 zweiten Leitungstyps, der zu dem ersten Leitungstyp  
komplementär ist, gebildet ist, wobei zu jedem der  
Transistoren des ersten Datensignalfads ein  
entsprechend verschalteter Transistor in dem zweiten  
Datensignalfad bereitgestellt ist;
- 25 • die zweiten Source-/Drain-Anschlüsse der Logik-  
Transistoren des ersten Datensignalfads und die zweiten  
Source-/Drain-Anschlüsse der Logik-Transistoren des  
zweiten Datensignalfads miteinander gekoppelt sind.

30 5. Logik-Grundzelle nach einem der Ansprüche 1 bis 4,  
mit einem Evaluierungs-Schalter, an den das Ausgangssignal  
anlegbar ist, und mit einem Vorlade-Schalter, welche Schalter  
derart verschaltet und steuerbar sind, dass an einem Ausgang  
der Logik-Grundzelle bei geöffnetem Evaluierungs-Schalter und  
35 geschlossenem Vorlade-Schalter das Ausgangssignal  
bereitgestellt ist, und dass an dem Ausgang der Logik-  
Grundzelle bei geöffnetem Vorlade-Schalter und geschlossenem

Evaluiierungs-Schalter ein Referenzsignal bereitgestellt ist.

6. Logik-Grundzelle nach Anspruch 5,  
bei welcher der Evaluierungs-Schalter und der Vorlade-  
5 Schalter jeweils Transistoren sind.

7. Logik-Grundzelle nach einem der Ansprüche 1 bis 6,  
eingerrichtet als CMOS-Logik-Grundzelle.

10 8. Logik-Grundzelle nach einem der Ansprüche 1 bis 7,  
bei der zumindest einer der Logikfunktionsblöcke als

- Programmable Logic Device;
- Field-Programmable Gate-Array;
- maskenprogrammierter Application-Specific Integrated
- 15 Circuit;
- Logik-Gatter oder Anordnung mehrerer Logik-Gatter; oder
- Look-Up-Tabelle

ausgebildet ist.

20 9. Logik-Grundzelle nach einem der Ansprüche 1 bis 8,  
bei der zumindest einer der Logikfunktionsblöcke mindestens  
einen Logikfunktionkonfigurationseingang aufweist, mittels  
welchem dem jeweiligen Logikfunktionsblock die realisierbare  
Logik-Teilfunktion unveränderlich vorgegeben ist.

25 10. Logik-Grundzelle nach Anspruch 9,  
mit einer mit dem mindestens einen  
Logikfunktionkonfigurationseingang gekoppelten Speicher-  
Einrichtung, in welcher die Information zum Vorgeben der  
30 realisierbaren Logik-Teilfunktion speicherbar ist.

11. Logik-Grundzelle nach einem der Ansprüche 1 bis 8,  
bei der zumindest einer der Logikfunktionsblöcke mindestens  
einen Logikfunktionkonfigurationseingang aufweist, mittels  
35 welchem dem jeweiligen Logikfunktionsblock die realisierbare  
Logik-Teilfunktion mittels eines anlegbaren Signals variabel  
vorgegeben ist.



12. Logik-Grundzelle nach einem der Ansprüche 1 bis 11, bei welcher zumindest einer der Logikfunktionsblöcke ferner aufweist:

- 5 • einen ersten Komplementär-Datensignaleingang, an den das zu dem ersten Eingangssignal logisch komplementäre Signal anlegbar ist;
- einen zweiten Komplementär-Datensignaleingang, an den das zu dem zweiten Eingangssignal logisch komplementäre  
10 Signal anlegbar ist;
- ein erstes Logikauswahl-Element zwischen dem ersten Datensignaleingang und dem zweiten Datensignaleingang;
- ein zweites Logikauswahl-Element zwischen dem ersten Datensignaleingang und dem zweiten Komplementär-  
15 Datensignaleingang;
- ein drittes Logikauswahl-Element zwischen dem zweiten Datensignaleingang und dem ersten Komplementär-  
Datensignaleingang;
- ein viertes Logikauswahl-Element zwischen dem ersten  
20 Komplementär-Datensignaleingang und dem zweiten Komplementär-Datensignaleingang;

wobei an dem Datensignalausgang die Logik-Verknüpfung der zwei Datensignale gemäß der mittels der Logikauswahl-Elemente ausgewählten Logikfunktion bereitstellbar ist.

25

13. Logik-Grundzelle nach Anspruch 12, bei der die Logikauswahl-Elemente unveränderliche Hardware-Elemente sind.

30 14. Logik-Grundzelle nach Anspruch 12 oder 13, bei der die Logikauswahl-Elemente mittels einer Mehrzahl von Metallisierungsebenen und/oder mittels Vias realisiert sind.

15. Logik-Grundzelle nach Anspruch 14,  
35 bei der

- das erste Logikauswahl-Element ein erster Logik-Transistor ist, der mittels eines ersten

Logikauswahlsignals steuerbar ist;

- das zweite Logikauswahl-Element ein zweiter Logik-Transistor ist, der mittels eines zweiten Logikauswahlsignals steuerbar ist;
- 5 • das dritte Logikauswahl-Element ein dritter Logik-Transistor ist, der mittels eines dritten Logikauswahlsignals steuerbar ist;
- das vierte Logikauswahl-Element ein vierter Logik-Transistor ist, der mittels eines vierten
- 10 Logikauswahlsignals steuerbar ist.

16. Logik-Grundzelle nach einem der Ansprüche 12 bis 15, mit vier Datensignal-Transistoren, an deren Gate-Anschlüssen jeweils eines der Datensignale oder eines der zu einem der

15 Datensignale logisch komplementären Datensignale bereitstellbar ist.

17. Logik-Grundzelle nach Anspruch 16, bei der ein erster Datensignal-Transistor derart verschaltet

20 ist, dass dessen

- erster Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem ersten Source-/Drain-Anschluss des zweiten Logik-Transistors gekoppelt ist;
- 25 • zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines dritten Datensignal-Transistors gekoppelt ist.

18. Logik-Grundzelle nach Anspruch 17, bei welcher der dritte Datensignal-Transistor derart

30 verschaltet ist, dass dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten Logik-Transistors und mit einem ersten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist.

19. Logik-Grundzelle nach einem der Ansprüche 16 bis 18, bei der ein zweiter Datensignal-Transistor derart verschaltet

35

ist, dass dessen

- erster Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist;
- zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines vierten Datensignal-Transistors gekoppelt ist.

20. Logik-Grundzelle nach Anspruch 19, bei welcher der vierte Datensignal-Transistor derart verschaltet ist, dass dessen zweiter Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des zweiten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des vierten Logik-Transistors gekoppelt ist.

21. Logik-Grundzellen-Anordnung zum Bilden eines Anordnungsausgangssignals aus mindestens vier Eingangssignalen gemäß einer vorgebbaren Logikfunktion,

- mit einer ersten Logik-Grundzelle nach einem der Ansprüche 1 bis 20;
- mit einem dritten Logik-Transistor mit einem ersten Source-/Drain-Anschluss, an dem das Ausgangssignal der ersten Logik-Grundzelle anlegbar ist, mit einem Gate-Anschluss, an dem ein viertes Eingangssignal bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, an dem das Ausgangssignal der Logik-Grundzellen-Anordnung bereitstellbar ist;
- mit einer zweiten Logik-Grundzelle nach einem der Ansprüche 1 bis 20;
- mit einem vierten Logik-Transistor mit einem ersten Source-/Drain-Anschluss, an dem das Ausgangssignal der zweiten Logik-Grundzelle anlegbar ist, mit einem Gate-Anschluss, an dem ein zu dem vierten Eingangssignal komplementäres Signal bereitstellbar ist, und mit einem zweiten Source-/Drain-Anschluss, der mit dem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors

gekoppelt ist.

22. Logik-Vorrichtung zum Bilden einer logischen Verknüpfung von mehr als vier Datensignalen,
- 5 mit einer Mehrzahl von Logik-Grundzellen-Anordnungen nach Anspruch 21.

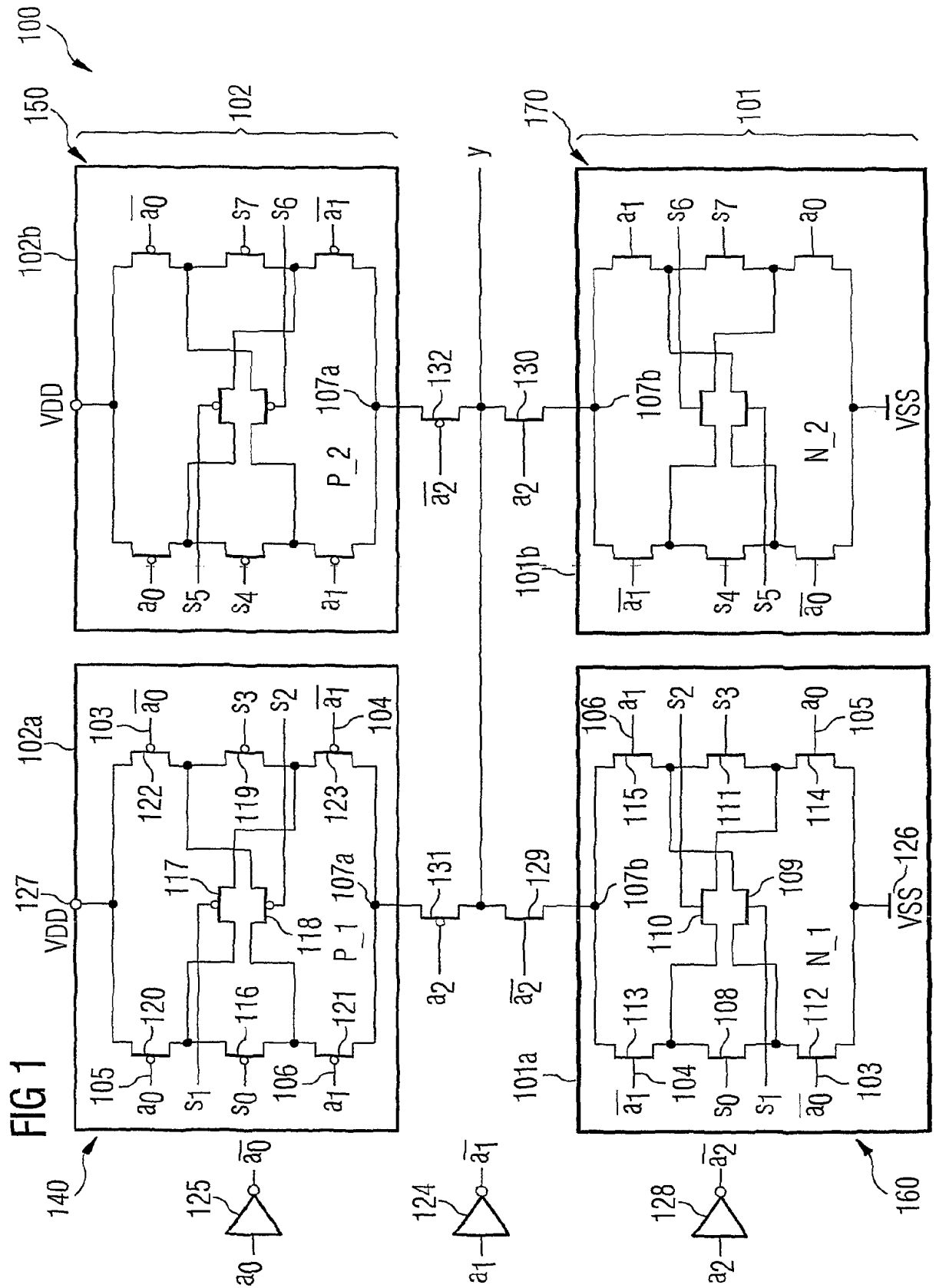



FIG 2

200



S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Y <sub>T</sub>
0	0	0	0	1
0	0	0	1	[OR]
0	0	1	0	$a_0 \vee \bar{a}_1$
0	0	1	1	$a_0$
0	1	0	0	$\bar{a}_0 \vee a_1$
0	1	0	1	$a_1$
0	1	1	0	[XNOR]
0	1	1	1	[AND]
1	0	0	0	[NAND]
1	0	0	1	[XOR]
1	0	1	0	$\bar{a}_1$
1	0	1	1	$a_0 \wedge \bar{a}_1$
1	1	0	0	$\bar{a}_0$
1	1	0	1	$\bar{a}_0 \wedge a_1$
1	1	1	0	[NOR]
1	1	1	1	0

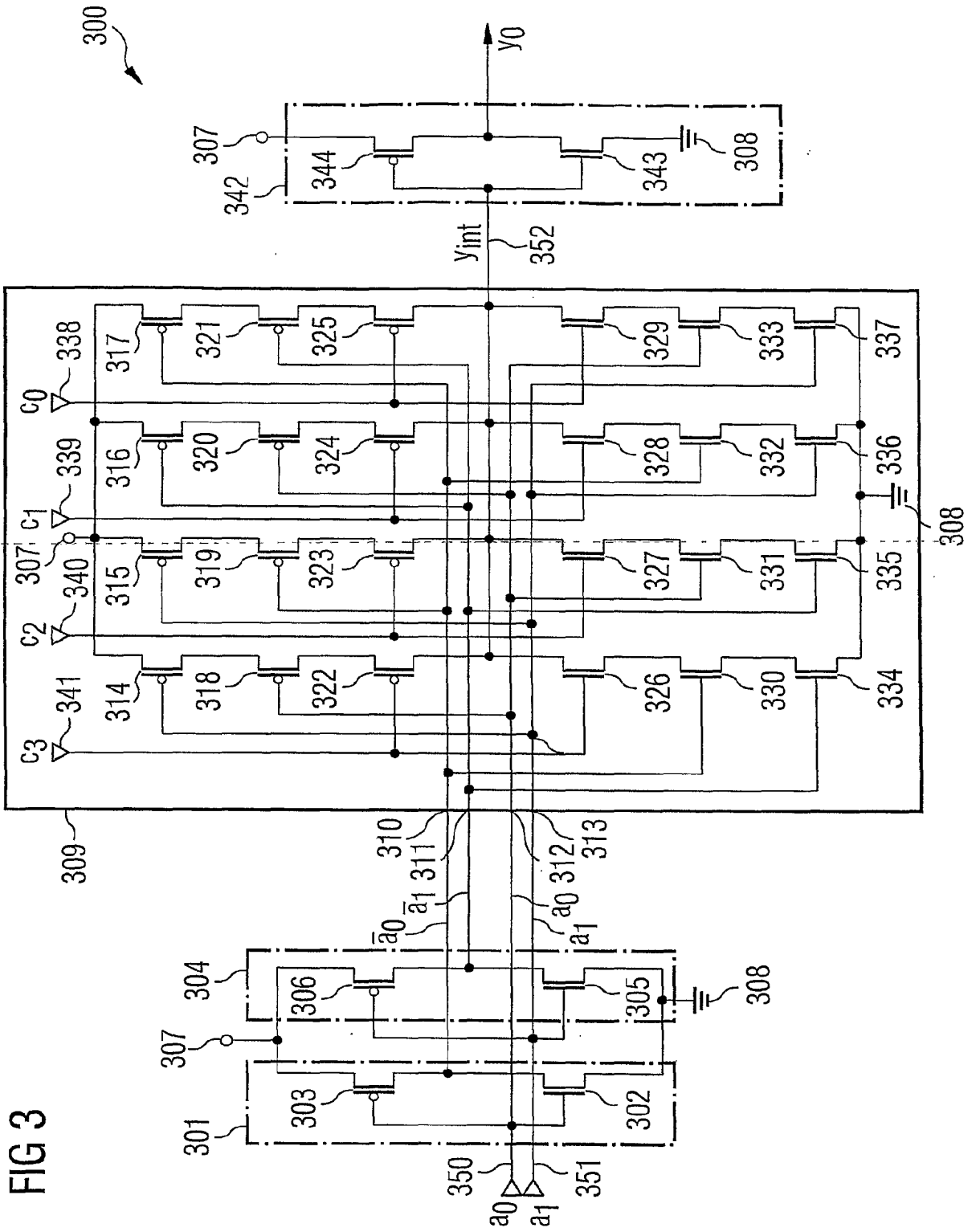


FIG 4

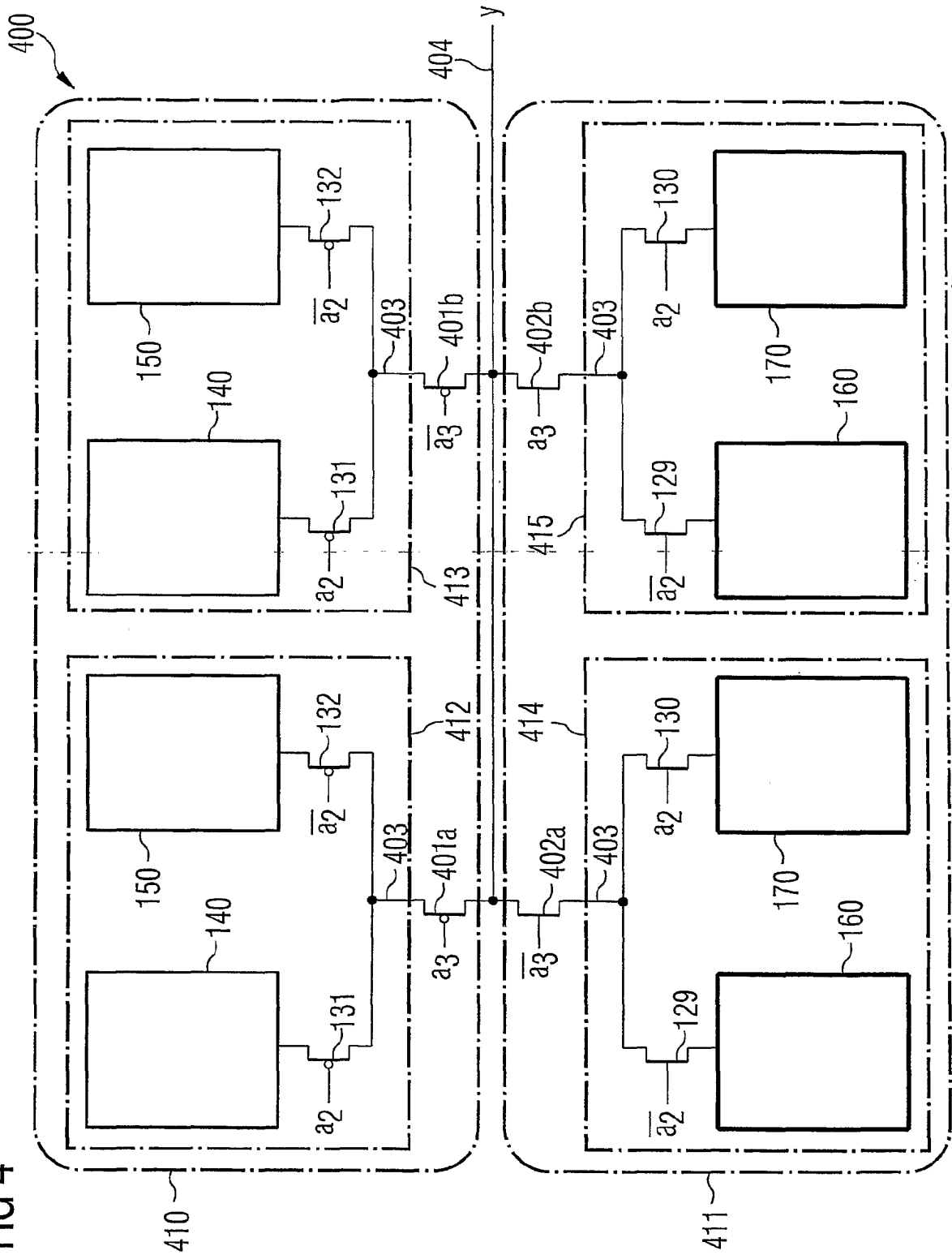




FIG 5

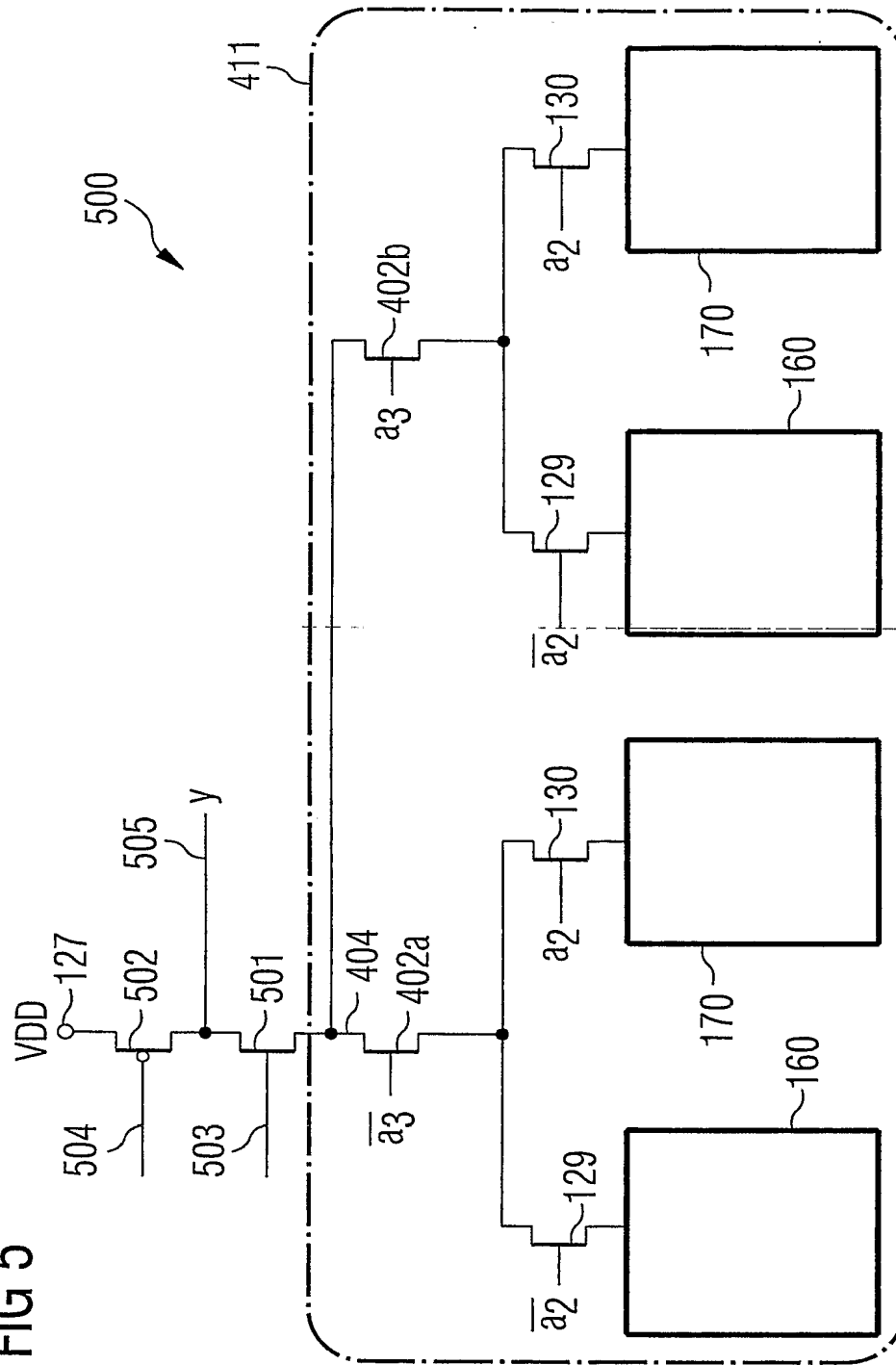
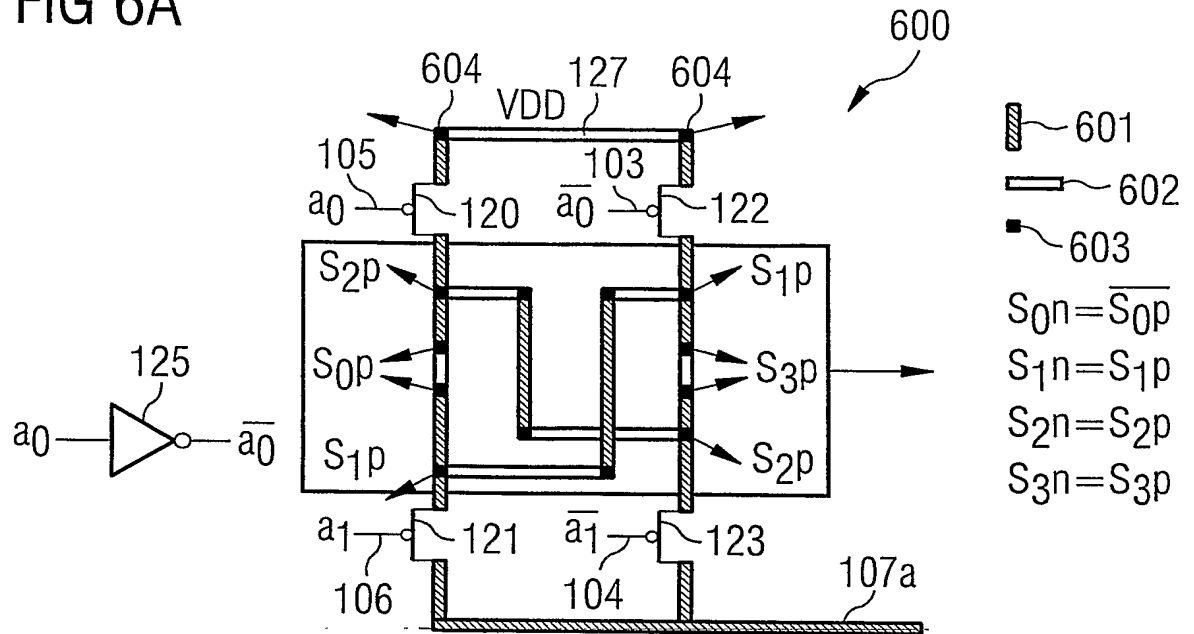
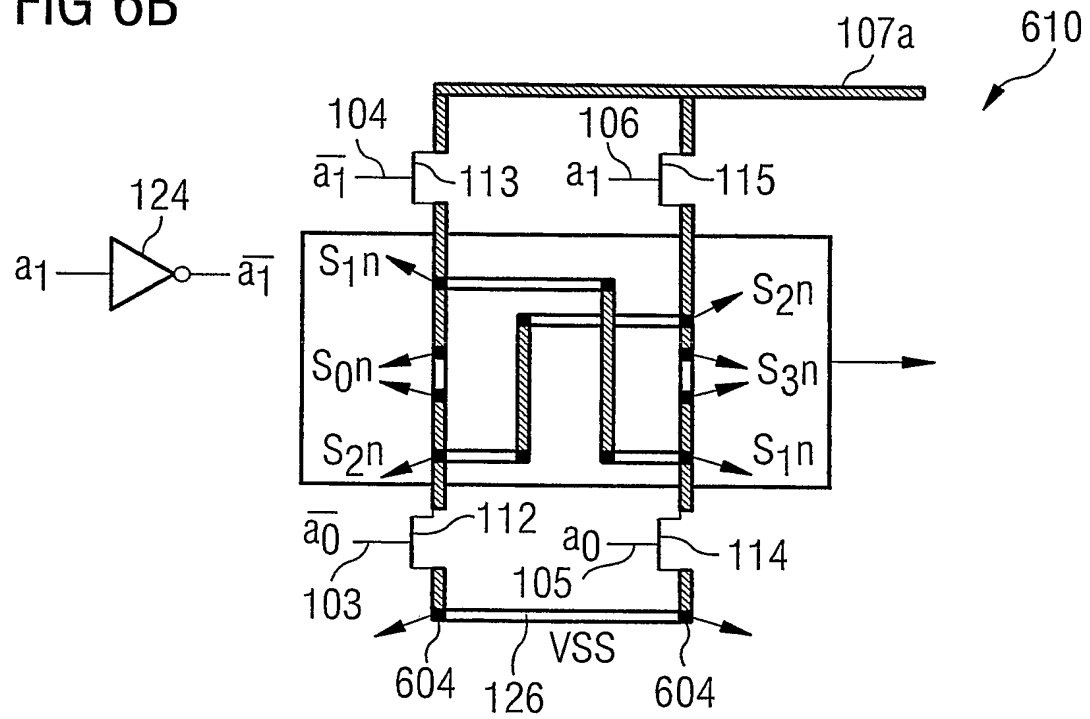


FIG 6A



**FIG 6B**



# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE2005/000292

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H03K19/173

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KIM H ET AL: "Design of heuristic algorithms based on Shannon expansion for low-power logic circuit synthesis" IEE PROCEEDINGS: CIRCUITS DEVICES AND SYSTEMS, INSTITUTION OF ELECTRICAL ENGINEERS, STENVENAGE, GB, vol. 144, no. 6, 3 December 1997 (1997-12-03), pages 355-360, XP006008366 ISSN: 1350-2409	1-3
A	paragraph '03.1! - paragraph '03.3!; figures 1,3 ----- -/--	4-22

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

12 July 2005

Date of mailing of the international search report

22/07/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Kassner, H

# INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/DE2005/000292

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 122 888 A (SONY CORPORATION) 8 August 2001 (2001-08-08) column 3, line 5 - column 4, line 4; figures 2,6a,12a-12c column 7, line 25 - column 8, line 52 column 9, line 8 - column 11, line 20 claim 2	1-22
X	US 6 130 553 A (NAKAYA ET AL) 10 October 2000 (2000-10-10)	1-3
A	column 3, line 38 - column 4, line 41; figures 2,4,6-8	4-22
X	US 2003/210073 A1 (NGAI TONY ET AL) 13 November 2003 (2003-11-13)	1-3
A	paragraph '0104! - paragraph '0112!; figures 10,11	4-22

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/DE2005/000292

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1122888	A	08-08-2001	JP	2001217707 A	10-08-2001
			DE	60101169 D1	18-12-2003
			DE	60101169 T2	27-05-2004
			EP	1122888 A1	08-08-2001
			US	2001013797 A1	16-08-2001
US 6130553	A	10-10-2000	JP	3185727 B2	11-07-2001
			JP	11122096 A	30-04-1999
US 2003210073	A1	13-11-2003	US	2002057103 A1	16-05-2002
			US	6407576 B1	18-06-2002
			US	2004251930 A1	16-12-2004
			DE	60012639 D1	09-09-2004
			EP	1092268 A2	18-04-2001
			EP	1076931 A1	21-02-2001
			EP	1078463 A1	28-02-2001
			EP	1465345 A2	06-10-2004
			JP	2002538562 A	12-11-2002
			JP	2002538633 A	12-11-2002
			JP	2002538634 A	12-11-2002
			WO	0052824 A1	08-09-2000
			WO	0052825 A1	08-09-2000
			WO	0052826 A2	08-09-2000
			US	2002041192 A1	11-04-2002
			US	6690195 B1	10-02-2004
			US	2003071654 A1	17-04-2003
			US	6359468 B1	19-03-2002
			US	6480027 B1	12-11-2002
			US	6366120 B1	02-04-2002
			US	6323680 B1	27-11-2001
			US	6342792 B1	29-01-2002
			US	6300792 B1	09-10-2001
			US	2004222818 A1	11-11-2004

Internationales Aktenzeichen  
PCT/DE2005/000292

Formblatt PCT/ISA/210 (Blatt 2) (Januar 2004)

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/DE2005/000292

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 1 122 888 A (SONY CORPORATION) 8. August 2001 (2001-08-08) Spalte 3, Zeile 5 - Spalte 4, Zeile 4; Abbildungen 2,6a,12a-12c Spalte 7, Zeile 25 - Spalte 8, Zeile 52 Spalte 9, Zeile 8 - Spalte 11, Zeile 20 Anspruch 2. -----	1-22
X	US 6 130 553 A (NAKAYA ET AL) 10. Oktober 2000 (2000-10-10)	1-3
A	Spalte 3, Zeile 38 - Spalte 4, Zeile 41; Abbildungen 2,4,6-8 -----	4-22
X	US 2003/210073 A1 (NGAI TONY ET AL) 13. November 2003 (2003-11-13)	1-3
A	Absatz '0104! - Absatz '0112!; Abbildungen 10,11 -----	4-22

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/000292

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 1122888 A	08-08-2001	JP 2001217707 A	10-08-2001
		DE 60101169 D1	18-12-2003
		DE 60101169 T2	27-05-2004
		EP 1122888 A1	08-08-2001
		US 2001013797 A1	16-08-2001
US 6130553 A	10-10-2000	JP 3185727 B2	11-07-2001
		JP 11122096 A	30-04-1999
US 2003210073 A1	13-11-2003	US 2002057103 A1	16-05-2002
		US 6407576 B1	18-06-2002
		US 2004251930 A1	16-12-2004
		DE 60012639 D1	09-09-2004
		EP 1092268 A2	18-04-2001
		EP 1076931 A1	21-02-2001
		EP 1078463 A1	28-02-2001
		EP 1465345 A2	06-10-2004
		JP 2002538562 A	12-11-2002
		JP 2002538633 A	12-11-2002
		JP 2002538634 A	12-11-2002
		WO 0052824 A1	08-09-2000
		WO 0052825 A1	08-09-2000
		WO 0052826 A2	08-09-2000
		US 2002041192 A1	11-04-2002
		US 6690195 B1	10-02-2004
		US 2003071654 A1	17-04-2003
		US 6359468 B1	19-03-2002
		US 6480027 B1	12-11-2002
		US 6366120 B1	02-04-2002
		US 6323680 B1	27-11-2001
		US 6342792 B1	29-01-2002
		US 6300792 B1	09-10-2001
		US 2004222818 A1	11-11-2004